



501.43187X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): H. IKEDA, et al.

Serial No.: 10/694,825

Filed: October 29, 2003

Title: A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE
AND A SEMICONDUCTOR DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 21, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2002-315959
Filed: October 30, 2002

Certified copies of said Japanese Patent Application are attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Ronald J. Shore

Registration No.: 28,577

RJS/WIS/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

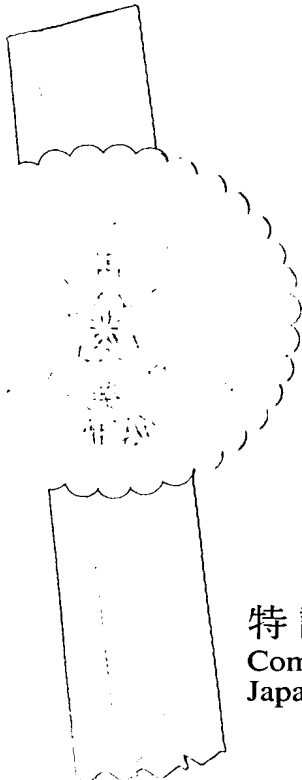
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 5 9 5 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 5 9 5 9]

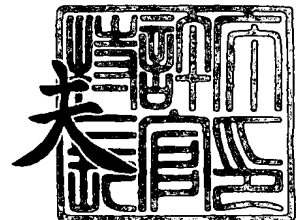
出 願 人 株式会社ルネサステクノロジ
Applicant(s):



特許庁長官
Commissioner,
Japan Patent Office

2 0 0 3 年 1 0 月 2 1 日

今 井 康



【書類名】 特許願

【整理番号】 H02011091

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/092

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 池田 裕之

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 佐々木 敏夫

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 渡邊 彰信

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 山田 利夫

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 内田 明久

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】**【識別番号】** 100080001**【弁理士】****【氏名又は名称】** 筒井 大和**【電話番号】** 03-3366-0787**【手数料の表示】****【予納台帳番号】** 006909**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 複数の回路セル、前記複数の回路セルに電源電位である第1電位を供給する第1配線、前記複数の回路セルの半導体基板領域に対して第1電位を供給する、しないを切り換えるスイッチ、前記スイッチの動作を制御するための信号を供給する第2配線、前記第1電位もしくは第1電位よりも高い第3電位を前記複数の回路セルの半導体基板領域に供給する第3配線を有する半導体装置の設計データを用意する工程、

(b) 前記スイッチの機能を無効とし、かつ、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第2配線および前記第3配線を前記第1配線と接続する工程。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記複数の回路セルの各々の前記半導体基板領域は第1導電型の半導体基板領域と前記第1導電型に対して反対の導電型の第2導電型の半導体基板領域とを有し、前記スイッチは p チャンネル型の電界効果トランジスタと n チャンネル型の電界効果トランジスタとを有し、前記第2配線は前記 p チャンネル型の電界効果トランジスタ用の第2配線と n チャンネル型の電界効果トランジスタ用の第2配線とを有し、前記第3配線は前記第1導電型の半導体基板領域用と前記第2導電型の半導体基板領域用とを有していることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記第2配線および前記第3配線と前記第1配線とを内部回路領域内で接続することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、前記第2配線および前記第3配線と前記第1配線とを周辺回路領域内で接続することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、前記複数の

回路セルにメモリセル、論理ゲートまたは入出力回路が形成されていることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 記載の半導体装置の製造方法において、前記複数の回路セルのうち、前記第 3 電位を供給する必要のない第 1 回路セル群と、前記第 3 電位を供給する必要のある第 2 回路セル群とで前記第 2、第 3 配線を分離する工程を有し、前記 (b) 工程は前記第 1 回路セル群に接続されている第 2、第 3 配線に対して行うことを特徴とする半導体装置の製造方法。

【請求項 7】 以下の工程を有することを特徴とする半導体装置の製造方法
;

(a) 複数の回路セル、前記複数の回路セルに電源電位である第 1 電位を供給する第 1 配線、前記複数の回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチ、前記スイッチの動作を制御するための信号を供給する配線であって前記第 1 配線に交差する部分を有する第 2 配線、前記第 1 電位もしくは第 1 電位よりも高い第 3 電位を供給する配線であって前記第 1 配線に交差する部分を有し、前記複数の回路セルの各々の半導体基板領域に接続された第 3 配線を有する半導体装置の設計データを用意する工程、

(b) 前記スイッチの機能を無効とし、かつ、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 2 配線を前記第 1 配線との交点で第 1 配線と接続し、かつ、前記第 3 配線を前記第 1 配線との交点で第 1 配線と接続する工程。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、前記第 2 配線および前記第 3 配線と前記第 1 配線とを内部回路領域内で接続することを特徴とする半導体装置の製造方法。

【請求項 9】 以下の工程を有することを特徴とする半導体装置の製造方法
;

(a) 内部回路領域、前記内部回路領域に配置された複数の回路セル、前記複数の回路セルに電源電位である第 1 電位を供給する第 1 配線、前記複数の回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換える第 1 スイッチ、前記内部回路の周囲に配置された複数の入出力回路セル、前記複数の入出力

回路セルの各々に配置され、その入出力回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換える第 2 スイッチ、前記第 1、第 2 スイッチの動作を制御するための信号を供給する第 2 配線、前記第 1 電位もしくは第 1 電位よりも高い第 3 電位を供給する配線であって前記複数の回路セルおよび前記複数の入出力回路セルの各々の半導体基板領域に接続された第 3 配線を有する半導体装置の設計データを用意する工程、

(b) 前記第 1、第 2 スイッチの機能を無効とし、かつ、前記複数の回路セルおよび前記複数の入出力回路セルの各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 2 配線および前記第 3 配線を前記第 1 配線と接続する工程。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、前記第 2 配線および前記第 3 配線と前記第 1 配線とを周辺回路領域内で接続することを特徴とする半導体装置の製造方法。

【請求項 11】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 複数の回路セル、前記複数の回路セルに電源電位である第 1 電位を供給する第 1 配線、前記複数の回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチ、前記スイッチの動作を制御するための信号を供給する第 2 配線、前記第 1 電位もしくは第 1 電位よりも高い第 3 電位を前記複数の回路セルの半導体基板領域に供給する第 3 配線を有する半導体装置の設計データを用意する工程、

(b) 前記複数の回路セルのうち、前記第 3 電位を供給する必要のない第 1 回路セル群と、前記第 3 電位を供給する必要のある第 2 回路セル群とで前記第 2、第 3 配線を分離する工程、

(c) 前記第 1 回路セル群に対する前記スイッチの機能を無効とし、かつ、前記第 1 回路セル群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 1 回路セル群に接続されている第 2 配線および前記第 3 配線を前記第 1 配線と接続する工程。

【請求項 12】 以下の工程を有することを特徴とする半導体装置の製造方

法;

(a) 複数の電界効果トランジスタ、前記複数の電界効果トランジスタに電源電位である第1電位を供給する第1配線、前記複数の電界効果トランジスタの半導体基板領域に対して第1電位を供給する、しないを切り換えるスイッチ、前記スイッチの動作を制御するための信号を供給する第2配線、前記第1電位もしくは第1電位よりも高い第3電位を前記複数の電界効果トランジスタの半導体基板領域に供給する第3配線を有する半導体装置の設計データを用意する工程、

(b) 前記複数の電界効果トランジスタのうち、前記第3電位を供給する必要のない第1電界効果トランジスタ群と、前記第3電位を供給する必要のある第2電界効果トランジスタ群とで前記第2、第3配線を分離する工程、

(c) 前記第1電界効果トランジスタ群に対する前記スイッチの機能を無効とし、かつ、前記第1電界効果トランジスタ群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第1電界効果トランジスタ群に接続されている第2配線および前記第3配線を前記第1配線と接続する工程。

【請求項13】 請求項12記載の半導体装置の製造方法において、前記第2電界効果トランジスタ群は、前記第1電界効果トランジスタ群よりも、しきい値が低いことを特徴とする半導体装置の製造方法。

【請求項14】 以下の工程を有することを特徴とする半導体装置の製造方法;

(a) 複数の回路セル、前記複数の回路セルに電源電位である第1電位を供給する第1配線、前記複数の回路セルの半導体基板領域に対して第1電位を供給する、しないを切り換えるスイッチ、前記スイッチの動作を制御するための信号を供給する第2配線、前記第1電位もしくは第1電位よりも高い第3電位を前記複数の回路セルの半導体基板領域に供給する第3配線を有する半導体装置の設計データを用意する工程、

(b) 前記スイッチの機能を無効とし、かつ、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第2配線および前記第3配線を前記第1配線と接続する情報を有する接続セルを、前記スイッチに代えて配置する工程。

【請求項 1 5】 請求項 1 4 記載の半導体装置の製造方法において、前記接続セルを内部回路領域内で配置することを特徴とする半導体装置の製造方法。

【請求項 1 6】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 複数の回路部、前記複数の回路部の各々に接続され、その各々の回路部に電源電位を供給する、しないを切り換える複数の電源スイッチ、前記複数の電源スイッチの動作を制御する電源スイッチ制御手段を有する半導体装置の設計データを用意する工程、

(b) 前記複数の回路部のうち、常に動作させたい回路部に接続された電源スイッチを、前記電源スイッチ制御手段から切り離す工程、

(c) 前記常に動作させたい回路部に接続された電源スイッチの入力を電源電位に固定する工程。

【請求項 1 7】 以下の構成を有することを特徴とする半導体装置；

(a) 複数の回路セル、
(b) 前記複数の回路セルに電源電位である第 1 電位を供給する第 1 配線、
(c) 前記複数の回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチ、

(d) 前記スイッチの動作を制御するための信号を供給する第 2 配線、
(e) 前記第 1 電位もしくは第 1 電位よりも高い第 3 電位を前記複数の回路セルの半導体基板領域に供給する第 3 配線、
(f) 前記複数の回路セルであって、前記第 3 電位を供給する必要のない第 1 回路セル群、

(g) 前記第 1 回路セル群用の前記第 2 配線、
(h) 前記第 1 回路セル群用の前記第 3 配線、
(i) 前記複数の回路セルであって、前記第 3 電位を供給する必要のある第 2 回路セル群、

(j) 前記第 2 回路セル群用の前記第 2 配線、
(k) 前記第 2 回路セル群用の前記第 3 配線、
(l) 前記第 1 回路セル群に対する前記スイッチの機能を無効とし、かつ、前記

第 1 回路セル群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 1 回路セル群用の前記第 2 配線および前記第 3 配線を前記第 1 配線と接続する接続部。

【請求項 18】 以下の構成を有することを特徴とする半導体装置；

- (a) 複数の電界効果トランジスタ、
- (b) 前記複数の電界効果トランジスタに電源電位である第 1 電位を供給する第 1 配線、
- (c) 前記複数の電界効果トランジスタの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチ、
- (d) 前記スイッチの動作を制御するための信号を供給する第 2 配線、
- (e) 前記第 1 電位もしくは第 1 電位よりも高い第 3 電位を前記複数の電界効果トランジスタの半導体基板領域に供給する第 3 配線、
- (f) 前記複数の電界効果トランジスタであって、前記第 3 電位を供給する必要のない第 1 電界効果トランジスタ群、
- (g) 前記第 1 電界効果トランジスタ群用の前記第 2 配線、
- (h) 前記第 1 電界効果トランジスタ群用の前記第 3 配線、
- (i) 前記複数の電界効果トランジスタであって、前記第 3 電位を供給する必要のある第 2 電界効果トランジスタ群、
- (j) 前記第 2 電界効果トランジスタ群用の前記第 2 配線、
- (k) 前記第 2 電界効果トランジスタ群用の前記第 3 配線、
- (l) 前記第 1 電界効果トランジスタ群に対する前記スイッチの機能を無効とし、かつ、前記第 1 電界効果トランジスタ群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 1 電界効果トランジスタ群用の前記第 2 配線および前記第 3 配線を前記第 1 配線と接続する接続部。

【請求項 19】 複数の回路セルと、

- 前記複数の回路セルに電源電位を供給する第 1 配線と、
- 前記複数の回路セルの半導体基板領域に対して電位を供給する給電セルと、
- 前記給電セルの動作を制御するための信号を供給する第 2 配線と、
- 前記第 1 電位を前記複数の回路セルの半導体基板領域に供給する第 3 配線と、

を有する半導体装置であって、

前記給電セルの機能が、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 2 配線および前記第 3 配線を前記第 1 配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項 2 0】 請求項 1 9 記載の半導体装置において、前記第 2 配線および前記第 3 配線と前記第 1 配線とを内部回路領域内で接続することを特徴とする半導体装置。

【請求項 2 1】 請求項 1 9 記載の半導体装置において、前記第 2 配線および前記第 3 配線と前記第 1 配線とを周辺回路領域内で接続することを特徴とする半導体装置。

【請求項 2 2】 複数の回路セルと、
前記複数の回路セルに電源電位を供給する第 1 配線と、
前記複数の回路セルの半導体基板領域に対して電位を供給する給電セルと、
前記給電セルの動作を制御するための信号を供給する配線であって前記第 1 配線に交差する部分を有する第 2 配線と、

前記第 1 電位を供給する配線であって前記第 1 配線に交差する部分を有し、前記複数の回路セルの各々の半導体基板領域に接続された第 3 配線と、

を有する半導体装置であって、

前記給電セルの機能が、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 2 配線を前記第 1 配線との交点で第 1 配線と接続し、かつ、前記第 3 配線を前記第 1 配線との交点で第 1 配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項 2 3】 内部回路領域と、
前記内部回路領域に配置された複数の回路セルと、
前記複数の回路セルに電源電位を供給する第 1 配線と、
前記複数の回路セルの半導体基板領域に対して電位を供給する第 1 給電セルと、
、
前記内部回路の周囲に配置された複数の入出力回路セルと、
前記複数の入出力回路セルの各々に配置され、その入出力回路セルの半導体基

板領域に対して電位を供給する第 2 給電セルと、

前記第 1、第 2 給電セルの動作を制御するための信号を供給する第 2 配線と、
前記第 1 電位を供給する配線であって前記複数の回路セルおよび前記複数の入出力回路セルの各々の半導体基板領域に接続された第 3 配線と、

を有する半導体装置であって、

前記第 1、第 2 給電セルの機能が、前記複数の回路セルおよび前記複数の入出力回路セルの各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 2 配線および前記第 3 配線を前記第 1 配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2 4】 複数の回路セルと、

前記複数の回路セルに電源電位を供給する第 1 配線と、
前記複数の回路セルの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチと、

前記スイッチの動作を制御するための信号を供給する第 2 配線と、
前記第 1 電位を前記複数の回路セルの半導体基板領域に供給する第 3 配線と、
を有する半導体装置であって、
前記複数の回路セルのうち、前記第 1 電位を供給する必要のない第 1 回路セル群と、前記第 1 電位を供給する必要のある第 2 回路セル群とで前記第 2、第 3 配線とが分離され、

前記第 1 回路セル群に対する前記スイッチの機能が、前記第 1 回路セル群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第 1 回路セル群に接続されている第 2 配線および前記第 3 配線が前記第 1 配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2 5】 複数の電界効果トランジスタと、

前記複数の電界効果トランジスタに電源電位を供給する第 1 配線と、
前記複数の電界効果トランジスタの半導体基板領域に対して第 1 電位を供給する、しないを切り換えるスイッチと、
前記スイッチの動作を制御するための信号を供給する第 2 配線と、
前記第 1 電位を前記複数の電界効果トランジスタの半導体基板領域に供給する

第3配線と、

を有する半導体装置であって、

前記複数の電界効果トランジスタのうち、前記第1電位を供給する必要のない第1電界効果トランジスタ群と、前記第1電位を供給する必要のある第2電界効果トランジスタ群とで前記第2、第3配線とが分離され、

前記第1電界効果トランジスタ群に対する前記スイッチの機能を無効とし、かつ、前記第1電界効果トランジスタ群の各々の半導体基板領域への供給電位が前記電源電位に固定されるように、前記第1電界効果トランジスタ群に接続されている第2配線および前記第3配線が前記第1配線に接続されていることを特徴とする半導体装置。

【請求項26】 複数の回路セルと、

前記複数の回路セルに電源電位を供給する第1配線と、

前記複数の回路セルの半導体基板領域に対して第1電位を供給する接続セルと

前記接続セルに前記第1電位を供給する第2配線と、

前記第1電位を前記複数の回路セルの半導体基板領域に供給する第3配線と、

を有する半導体装置であって、

前記接続セルは、前記複数の回路セルの半導体基板領域への供給電位が前記電源電位に固定されるように、前記第2配線および前記第3配線とを前記第1配線に接続することを特徴とする半導体装置。

【請求項27】 複数の回路部と、

前記複数の回路部の各々に接続され、その各々の回路部に電源電位を供給する、しないを切り換える複数の電源スイッチと、

前記複数の電源スイッチの動作を制御する電源スイッチ制御手段と、

を有する半導体装置であって、

前記複数の回路部は、常に動作させたい回路部に接続された電源スイッチを、前記電源スイッチ制御手段から切り離され、

前記常に動作させたい回路部に接続された電源スイッチの入力を電源電位に固定されることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、半導体装置の設計方法に適用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

本発明者が検討した半導体装置の設計技術は、設計データ中に基板バイアス回路を有する半導体装置の設計技術に関するものである。半導体装置の回路セルの中には、例えば動作速度の向上を図るべく、しきい値電圧を低くしている回路セルが存在するが、しきい値電圧を低くする分、リーク電流の問題が生じ消費電力の増大や試験時の熱暴走に繋がる場合がある。上記基板バイアス回路は、上記回路セルでのリーク電流を抑えたい時には、その回路セルが配置されたウエルに対して所定の電圧を印加することで上記回路セルのしきい値電圧を高くしてリーク電流を抑える一方、その回路セルが高速動作する時には、上記ウエルへの電圧供給を止めて再びしきい値電圧を下げることで高速動作を実現するような回路である。CMOS回路を有する半導体装置の基板バイアス回路の具体例を紹介すると、CMOS回路を構成する一方のトランジスタの配置された第1ウエルと高電位側の第1電源とを第1スイッチトランジスタを介して接続する一方、CMOS回路を構成する他方のトランジスタの配置された第2ウエルと基準電位側の第2電源とを第2スイッチトランジスタを介して接続したものがある。この構成で、半導体装置の試験時には第1、第2スイッチトランジスタをオフし、第1、第2ウエルには外部から試験に適した電位を供給してリーク電流に起因する熱暴走を抑制する一方、半導体装置の通常動作時には、第1、第2トランジスタをオンし、第1、第2ウエルと第1、第2電源とを接続して動作速度の変動やラッチアップ等を防止している（例えば特許文献1参照）。

【0 0 0 3】

【特許文献1】

特願平9-521146号（優先権主張番号 特願平7-31545

9号、国際公開番号：PCT/WO97/21247号の第15頁－第20頁、
図1－図5)

【0004】

【発明が解決しようとする課題】

ところが、上記半導体装置の設計技術においては、以下の課題があることを本発明者は見出した。

【0005】

すなわち、基板バイアス回路を設計データ中に有する半導体装置を踏襲して、基板バイアス回路が部分的または全体的に不要な他の半導体装置を設計する場合には、基板バイアスを固定するために、半導体チップの広範囲の領域や基板バイアス回路を使用しない回路セル内において配線レイアウトの設計し直しが必要になるので、半導体装置の設計時間が長くなる。また、大幅な回路修正を行うので、設計後に半導体装置の各回路を評価し直さなければならず、評価時間も長くなる。これらの結果、半導体装置のTAT (Turn Around Time) が長くなる。

【0006】

本発明の目的は、時間を掛けることなく基板バイアスを固定することのできる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

すなわち、本発明は、基板バイアス回路を有する半導体装置の設計データを踏襲して、基板バイアス回路が部分的または全体的に不要な他の半導体装置を設計する際に、前記基板バイアス回路が不要な回路領域に基板バイアスを印加するしないを切り換えるスイッチが無効にされ、かつ、基板バイアス回路が不要な回路

領域に電源電圧が印加されるように、配線の一部を変更するものである。

【0010】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、電界効果トランジスタであるMIS・FET（MOS・FET：Metal Oxide Semiconductor Field Effect Transistorを下位概念として含む）をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0011】

（実施の形態1）

図1は、本発明者が検討した半導体装置の要部平面図を模式的に示している。ここでは、基板バイアス回路を必要とする場合が例示されている。

【0012】

半導体基板（以下、基板という）1Sの主面には、複数の回路セルBCと、配

線M1a～M1i, M2a～M2fと、スレーブスイッチ回路セル（以下、スイッチ回路セルという）SWとが配置されている。回路セルBCは、半導体装置の内部回路を構成するセルである。ここでは便宜上、図1の左右方向（X方向；第1方向）に沿って並んで配置されている複数の回路セルBCの一群を回路セル列と呼ぶ。基板1Sの主面には、この回路セル列が図1の上下方向（Y方向；第2方向）に沿って複数段配置されている。各回路セルBCには、例えばインバータ回路INV等のような基本的なゲート回路が回路セルBCに形成されている。インバータ回路INVは、配線M1b, M1cとの間に直列に接続されたpMISQpとnMISQnとを有している。pMISQpはnウエルNWに、nMISQnはpウエルPWに、それぞれ配置されている。

【0013】

上記配線（第1配線）M1a, M1b, M1i, M2c, M2dは、半導体装置の内部回路を駆動するための電源配線である。配線M1b, M2dは、相対的に高い電源電位Vddを供給するための電源配線であり、配線M1a, M1i, M2cは、相対的に低い電源電位（以下、区別するため基準電位という）Vssを供給するための電源配線である。電源電位Vddは、例えば1.5V程度である。また、基準電位Vssは、例えば接地電位で0（零）Vである。配線M1a, M1b, M1iは、第1配線層に形成されている。ここでは、配線M1a, M1b, M1iにおいてX方向の配線チャネルに沿って延在する部分が示されている。電源電位Vdd供給用の配線（M1b）と、基準電位Vss供給用の配線（M1a, M1i）とは、上記回路セル列を挟むようにその上下に配置されている。上記配線M2c, M2dは、第2配線層に形成されている。ここでは、配線M2c, M2dにおいてY方向の配線チャネルに沿って延在する部分が示されている。そして、配線M2c, M2dは、上記配線M1a, M1b, M1iに対して交差（直交）した状態で配置されている。

【0014】

上記配線（第3配線）M2a, M2eは、それぞれ基板バイアス電位Vbn, Vbpを供給するための電源配線である。基板バイアス電位Vbnは、例えば-1.5V程度である。基板バイアス電位Vbpは、例えば3V程度である。上記

配線（第2配線）M2 b, M2 fは、それぞれスイッチ回路セルのスイッチのオン、オフを制御するための制御信号Vbcn, Vbcpを供給するための信号配線である。制御信号Vbcnの電位は、例えば1.5V程度、制御信号Vbcpの電位は、例えば0（零）V程度である。この配線M2 a, M2 e, M2 b, M2 fは、第2配線層に形成されている。ここでは、配線M2 a, M2 e, M2 b, M2 fにおいてY方向の配線チャネルに沿って延在する部分が示されている。配線M2 a, M2 e, M2 b, M2 fは、配線M2 c, M2 dを挟むようにその左右に配置されている。なお、実施の形態（実施の形態3, 4を除く）の説明で使用する図中において、電源電位Vdd、基準電位Vss、基板バイアス電位Vbn, Vbp、制御信号Vbcn, Vbcpの示されている配線同士は、図中接続されていなくても、半導体チップ内のいずれかの箇所で電氣的に接続されている。

【0015】

上記スイッチ回路セルSWは、上記回路セルが配置されたnウエルNWおよびpウエルPWに基板バイアス電圧を印加したり、しなかったりするのを切り換えるスイッチ回路を構成するセルである。このスイッチ回路セルSWは、pMISQpsとnMISQnsとを有している。pMISQpsは、ソースおよびドレイン用のp型の半導体領域2P1, 2P2と、ゲート電極3G1とを有しており、nウエルNWに配置されている。p型の半導体領域2P1, 2P2は、例えばホウ素（B）がnウエルNWに導入されてなる。一方の半導体領域2P1は、コンタクトホールCT1を通じて配線M1cと電氣的に接続されている。この配線M1cは、さらにスルーホールTH1を通じて上記配線M2dと電氣的に接続されている。他方の半導体領域2P2は、コンタクトホールCT2を通じて配線（第3配線）M1eと電氣的に接続されている。この配線M1eは、スルーホールTH2を通じて上記配線M2eと電氣的に接続されている一方で、コンタクトホールCT3を通じて、スイッチ回路セルSWおよび各回路セルBCの各々に配置されたn+型の半導体領域4Nに電氣的に接続され、これを通じてnウエルNWと電氣的に接続されている。ゲート電極3G1は、配線M1dと電氣的に接続されている。この配線M1dは、スルーホールTH3を通じて上記配線M2fと電

氣的に接続されている。このような $pMISQp$ をオフさせると、基板バイアス電位 V_{bp} が n ウエル NW に印加されるので、各回路セル BC の $pMISQp$ のしきい値電圧を高くすることができ、 $pMISQp$ のソースおよびドレイン間のリーク電流を抑えることができる。その結果、消費電力の増大を抑えることができ、また、試験時のリーク電流に起因する熱暴走を抑えることができる。一方、この $pMISQp$ をオンさせると、電源電位 V_{dd} が n ウエル NW に印加されるので、各回路セル BC の $pMISQp$ のしきい値電圧を低くすることができ、 $pMISQp$ の動作速度を向上させることができる。

【0016】

上記 $nMISQns$ は、ソースおよびドレイン用の n 型の半導体領域 $2N1$ 、 $2N2$ と、ゲート電極 $3G2$ とを有しており、 p ウエル PW に配置されている。 n 型の半導体領域 $2N1$ 、 $2N2$ は、例えばリン (P) またはヒ素 (As) が p ウエル PW に導入されてなる。一方の半導体領域 $2N1$ は、コンタクトホール $CT4$ を通じて配線 (第3配線) $M1f$ と電氣的に接続されている。この配線 $M1f$ は、スルーホール $TH4$ を通じて上記配線 $M2a$ と電氣的に接続されている一方で、コンタクトホール $CT5$ を通じて、スイッチ回路セル SW および各回路セル BC の各々に配置された p^+ 型の半導体領域 $4P$ に電氣的に接続され、これを通じて p ウエル PW と電氣的に接続されている。他方の半導体領域 $2N2$ は、コンタクトホール $CT6$ を通じて配線 $M1h$ と電氣的に接続されている。この配線 $M1h$ は、さらにスルーホール $TH5$ を通じて上記配線 $M2c$ と電氣的に接続されている。ゲート電極 $3G2$ は、配線 $M1g$ と電氣的に接続されている。配線 $M1g$ は、スルーホール $TH6$ を通じて上記配線 $M2b$ と電氣的に接続されている。この $nMISQns$ をオフさせると、基板バイアス電位 V_{bn} が p ウエル PW に印加されるので、各回路セル BC の $nMISQn$ のしきい値電圧を高くでき、 $nMISQn$ のソースおよびドレイン間のリーク電流を抑えることができる。その結果、消費電力の増大を抑えることができ、また、試験時のリーク電流に起因する熱暴走を抑えることができる。一方、この $nMISQns$ をオンさせると、電源電位 V_{ss} が p ウエル PW に印加されるので、各回路セル BC の $nMISQn$ のしきい値電圧を低くでき、 $nMISQn$ の動作速度を向上させることができ

る。なお、上記配線M1c～M1hは、第1配線層に形成された配線であり、X方向に沿って延在形成されている。

【0017】

ところで、半導体装置の設計では、所定の半導体装置の設計データの一部または大半を踏襲して次世代の半導体装置を設計する場合が多々ある。ただし、その際に、基板バイアス回路を部分的または全体的に必要としない場合がある。その場合には、1つの方法として、図2に示すように、基板バイアス回路を構成する領域A、Bに示す配線M2a、2b、M2e、M2fおよび領域Cのスイッチ回路セルSWを取り除き、各回路セルBC毎に領域Dの配線を追加する方法がある。しかし、この方法では、最初から全部設計し直すよりは短時間に設計できるものの、領域A、Bの削除による配線レイアウトの設計し直しや、領域Cを削除するための設計変更が必要な上、700～1200個もの回路セルBCに対して配線を追加するので、半導体装置の設計時間が長くなる。また、各回路セルBC毎に配線の追加を行うような大幅な回路修正を行うので、電気的特性も大きく変わることから、設計後に半導体装置の各回路を評価し直さなければならず、評価時間も長くなる。これらの結果、半導体装置のTAT (Turn Around Time) が長くなる。

【0018】

そこで、本実施の形態においては、所定の半導体装置の設計データを踏襲して他の半導体装置の設計データを作成する際に、基板バイアス回路はそのままにして半導体装置の動作時に、スイッチ回路セルSWのオン・オフの切り換えの動作が行われないうに無効にし（オン状態のままか、あるいはオフ状態のまま）、かつ、回路セルBCのnウエルNWLおよびpウエルPWLへの供給電圧が固定されるように、配線接続の一部を変更する。図3は、その具体例を示している。図1に対して変更したのは領域Eの部分だけである。すなわち、配線M2fと配線M1aとをその交点のスルーホールTH7を通じて電氣的に接続する。これにより、スイッチ回路セルのpMISQpのゲート電極3G1に基準電位Vssが印加されるので、pMISQpは常にオンとされスイッチ動作が無効化される。また、配線M2bと配線M1gとをその交点のスルーホールTH8を通じて電気

的に接続する。これにより、スイッチ回路セルの $nMISQ_n$ のゲート電極 3G2 に電源電位 V_{dd} が印加されるので、 $nMISQ_n$ は常にオンとされスイッチ動作が無効化される。また、配線 2e と配線 M1b とをその交点のスルーホール TH9 を通じて電氣的に接続する。これにより、配線 M1e に電源電位 V_{dd} が印加されるので、各回路セル BC の n ウエル NW が電源電位 V_{dd} に固定される。また、配線 M2a と配線 M1a とをその交点のスルーホール TH10 を通じて電氣的に接続する。これにより、配線 M1f に基準電位 V_{ss} が印加されるので、各回路セル BC の p ウエル PW が基準電位 V_{ss} に固定される。このように、本実施の形態では、回路や配線のレイアウトを修正することなく、スルーホール（接続孔）TH7～TH10 の配置のみでスイッチ回路セル SW のスイッチ動作を無効化し、かつ、複数の回路セル BC の n ウエル NW および p ウエル PW の電位を電源電位に固定化することができる。上記図 2 で説明した設計手法の場合は、設計変更により 2 週間程度掛かるのに対して、本実施の形態によれば、1 つのセルライブラリで設計が可能であり、また、新たなセルライブラリを設計する必要もないので、設計変更にかかる時間をほとんど無くすることができる。このため、半導体装置の設計の Q T A T（Quick Turn Around Time）が可能となる。また、各回路セル BC での配線修正が無いので、各回路セル BC の回路の評価をし直す必要もない。これらにより、前世代の半導体装置の信頼性や性能の上で高い評価を得ている部分をそのまま踏襲する次世代の半導体装置を短時間で製造することが可能となる。

【0019】

次に、本実施の形態の半導体装置のさらに具体的な一例を図 4～図 13 により説明する。図 4 は、本実施の形態の半導体装置を構成する半導体チップ 1C の全体平面図の一例を示している。また、図 5 は、図 4 の領域 F の要部拡大平面図を示している。

【0020】

本実施の形態の半導体装置は、例えば PDA（Personal Digital Assistants）、携帯電話、デジタルカメラまたはパーソナルコンピュータ等のような電子装置に使用される汎用 IC または ASIC（Application Specific IC）等のよう

な電子部品である。この半導体装置を構成する平面四角形状の半導体チップ1Cの中央には、平面四角形状の内部回路領域CA1が配置されている。内部回路領域CA1には、複数のマクロセルMCが配置されている。各マクロセルMCには、図5に示すように、複数の回路セル列BCRがX方向およびY方向に沿って敷き詰められるように配置されている。各回路セル列BCRには、上記のようにX方向に沿って複数の回路セルが並んで配置されている。また、各回路セル列BCR毎にスイッチ回路セルSWが配置されている。このような回路セル列BCRの各回路セルBCの接続により、各マクロセルMCには、例えばDSP (Digital Signal Processor) 等のような論理回路や、例えばRAM (Random Access Memory) やROM (Read Only Memory) 等のようなメモリ回路が形成されている。内部回路領域CA1内の複数のプロセッサ等は、多数の命令やデータを同時に分担しながら並列処理をすることで処理性能を上げて映像処理等のような所望の処理をリアルタイムに高速処理することが可能となっている。

【0021】

図4の内部回路領域CA1の外周から半導体チップ1Cの外周までの間には周辺回路領域CA2が配置されている。周辺回路領域CA2には、内部回路領域CA1の外周を取り囲むように配線RM1, RM2が配置されている。配線RM1, RM2は内部回路用の周回配線である。このうち、配線RM1は、図5に示すように、基板バイアス回路用の配線3a, M3b, M3e, M3fを有している。配線M3aは、上記配線M2aと電氣的に接続される配線であり、上記基板バイアス電位Vbnが印加される。配線M3bは、上記配線M2bと電氣的に接続される配線であり、上記制御信号Vbcnが印加される。配線M3eは、上記配線M2eと電氣的に接続される配線であり、上記基板バイアス電位Vbpが印加される。配線M3fは、上記配線M2fと電氣的に接続される配線であり、上記制御信号Vbcpが印加される。一方、上記配線RM2は、電源用の配線M3c, M3dを有している。配線M3cは、上記配線M2cと電氣的に接続される配線であり、上記電源電位Vssが印加される。配線M3dは、上記配線M2dと電氣的に接続される配線であり、上記電源電位Vddが印加される。配線M3a～M3fは、上記配線M2a～M2fよりも上層の第3配線層に形成されている。

。また、図4の周辺回路領域CA2において配線RM1, RM2の外周には、複数の入出力回路セルI/Oが半導体チップ1Cの外周に沿って並んで配置されている。入出力回路セルI/Oは信号用の入出力回路セルI/O_sと電源用の入出力回路セルI/O_vとに分かれており、信号用の入出力回路I/Oには、例えば入力回路、出力回路または入出力双方向回路の他、静電破壊防止用の保護回路等のような種々のインターフェイス回路が形成されている。この入出力回路セルI/Oの領域には基板バイアス電源回路が配置されている。さらに、図4の周辺回路領域CA2において上記入出力回路セルI/Oの外周には、複数のパッドPDが半導体チップ1Cの外周に沿って並んで配置されている。パッドPDは、信号用のパッドと電源用のパッドとを有している。パッドPDは、上記した入出力回路セルI/O毎に配置されている。信号用の入出力回路セルI/O_sには信号用のパッドPDが配置され、電源用の入出力回路セルI/O_vには電源用のパッドPDが配置されている。パッドPDを千鳥配置させても良い。これにより、小さな面積で、より多くのパッドPDを配置することができるので、多ピンを必要とする半導体装置の小型化が可能となる。

【0022】

次に、図6は、基板バイアス回路を使用する場合の半導体チップ1Cを模式的に示している。符号のV_bbは、上記基板バイアス電位V_bn, V_bpおよび制御信号V_bc_n, V_bc_pを総称する基板バイアス系電位を示している。符号MSは基板バイアス電源回路を示している。基板バイアス電源回路MSは、配線RM2, RM1を通じてスイッチ回路セルSWと電気的に接続されている。また、基板バイアス制御信号を供給する入出力回路セルI/Oは、配線RM1を通じてスイッチ回路セルSWと電気的に接続されている。これにより各回路セルBCに対して基板バイアス電圧を印加したり、しなかったりを制御できるようになっている（図6の領域G参照）。

【0023】

一方、図7は、基板バイアス回路を全体的に使用しない場合の半導体チップ1Cを模式的に示している。図6に対して、図7では、基板バイアス電源回路MSは、配線RM2, RM1とは接続されていない。また、配線RM1はスイッチ回

路セルSWと接続されていない。スイッチ回路セルSWには、電源電位V_{dd}および基準電位V_{ss}用の配線RM2が接続され、各回路セルBCおよび入出力回路セルI/Oの基板電位が電源電位V_{dd}および基準電位V_{ss}に固定されるようになっている(図7の領域G参照)。この場合、基板バイアス電源回路が不要とすることができる。基板バイアス電源回路MSを構成するMISは高耐圧系であり相対的にゲート絶縁膜の厚い大きなMISを使用しているため、リーク電流が小さい。また、基板バイアス回路を全体的に使用しない半導体装置の場合は、上記基板バイアス電源回路を全体の回路から切り離せるので、半導体装置の消費電力を低減できる。

【0024】

次に、図8は基板バイアス回路を使用しない場合の図7の設計変更方法の具体例を示している。符号のCA3は内部回路用の周回配線領域を、符号のCA4は入出力回路領域を示している。

【0025】

まず、本実施の形態の領域Eの配線接続による設計変更については、前記したのと同じである。配線2aはスルーホールTH11を通じて配線M3aと、配線2bはスルーホールTH12を通じて配線M3bと、配線M2cはスルーホールTH13を通じて配線M3cと、配線2dはスルーホールTH14を通じて配線M3dと、配線2eはスルーホールTH15を通じて配線M3eと、配線2fはスルーホールTH16を通じて配線M3fとそれぞれ電氣的に接続されている。このような配線接続により、内部回路領域CA1の回路セル列の基板電位および周辺回路領域CA2の入出力回路セルI/Oの基板電位を電源電位V_{dd}およびV_{ss}に固定できる。本実施の形態によれば、上記のように設計変更にかかる時間をほとんど無くすることができるので、半導体装置の設計のQ_{TAT}が可能となる。また、各回路セルBCおよび入出力回路セルI/Oでの配線修正が無いので、各回路セルBCおよび入出力回路セルI/Oの回路の評価をし直す必要もない。これらにより、前世代の半導体装置の信頼性や性能の上で高い評価を得ている部分をそのまま踏襲する次世代の半導体装置を短時間で製造することが可能となる。

【0026】

次に、本実施の形態の領域Hの配線接続による設計変更は、趣旨は上記領域Eで示した配線接続と同じで、上記入出力回路セルI/Oの領域で、基板バイアス系電位 V_{bb} を、電源電位 V_{dd} および基準電位 V_{ss} に固定する場合を示している。配線 $M3g \sim M3n$ は、入出力回路用の周回配線を示しており、上記内部回路領域CA1を取り囲むように半導体チップ1Cの外周に沿って延在して配置されている。ここでは、配線 $M3g \sim M3n$ が、例えば第3配線層に形成されている。配線 $M3g$ は本来、制御信号 V_{bcn} が印加される配線である。また、配線 $M3h$ は本来、基板バイアス電位 V_{bn} が印加される配線である。さらに、配線 $M3i$ は本来、制御信号 V_{bcn} が印加され、配線 $M3j$ は本来、基板バイアス電位 V_{bp} が印加される配線である。また、配線 $M3k \sim M3n$ は、それぞれ基準電位 V_{ss} 、電源電位 V_{dd} 、基準電位 V_{ss1} および電源電位 V_{cc} が印加される配線である。このうち、最外周の配線 $M3n$ 、 $M3m$ は、3.3V系の電源配線であり、電源電位 V_{cc} は、例えば3.3V程度、基準電位 V_{ss1} は、例えば接地電位で0（零）Vに設定される。ここで本実施の形態では、本来、制御信号 V_{bcn} 用の配線 $M3g$ を、スルーホールTH17を通じて配線 $M2g$ と接続し、さらに配線 $M2g$ をスルーホールTH18を通じて配線 $M3d$ と電氣的に接続することで、電源電位 V_{dd} に固定する。また、本来、基板バイアス電位 V_{bn} 用の配線 $M3h$ を、スルーホールTH19を通じて配線 $M2h$ と接続し、さらに配線 $M2h$ をスルーホールTH20を通じて配線 $M3c$ と電氣的に接続することで、基準電位 V_{ss} に固定する。また、本来、制御信号 V_{bcp} 用の配線 $M3i$ を、スルーホールTH21を通じて配線 $M2i$ と接続し、さらに配線 $M2i$ をスルーホールTH22を通じて配線 $M3c$ と電氣的に接続することで、基準電位 V_{ss} に固定する。さらに、本来、基板バイアス電位 V_{bp} 用の配線 $M3j$ を、スルーホールTH23を通じて配線 $M2j$ と接続し、さらに配線 $M2j$ をスルーホールTH24を通じて配線 $M3d$ と電氣的に接続することで、電源電位 V_{dd} に固定する。このように本実施の形態では、配線レイアウトの修正を最小限に抑え、領域Hの1箇所接続を変更するだけで、半導体チップ1Cの内部回路領域CA1の全ての回路セルBCおよび全ての入出力回路セルI/Oの基板電

位を、電源電位 V_{dd} および基準電位 V_{ss} に固定することができる。この場合も、半導体装置の全ての設計をし直す場合に比べて設計に掛かる時間を短くすることができるので、半導体装置の設計の Q T A T が可能となる。また、各回路セル B C および入出力回路セル I / O での配線修正が無いので、各回路セル B C および入出力回路セル I / O の回路の評価をし直す必要もない。したがって、前世代の半導体装置の信頼性や性能の上で高い評価を得ている部分をそのまま踏襲する次世代の半導体装置を短時間で製造することが可能となる。ただし、ここでは領域 H の 1 箇所のみで接続変更を行っているが、数箇所で分散して行っても良い。これにより、基板 1 S (ウエル) への供給電位を安定させることが可能になる。また、周辺回路領域 C A 2 に配置された基板バイアス系電位 V_{bb} 用の配線 3 g ~ M 3 j を、周辺回路領域 C A 2 に配置された電源系の配線 M 3 l , M 3 k と電氣的に接続することで上記回路セル B C および入出力回路セル I / O の基板電位を固定しても良い。ただし、入出力回路セル I / O への電源電位は配線 M 3 l , M 3 k から行われるので、この配線 M 3 l , M 3 k に上記基板バイアス系電位 V_{bb} 用の配線 M 3 g ~ M 3 j を接続すると、入出力回路セル I / O への電源電位が変動してしまうおそれがあるので、そのようなおそれが無い場合に限ることが好ましい。また、ここでは領域 E , H の両方の配線接続を行っている場合を示している。このようにすることで半導体チップ 1 C の基板電位の安定性を向上させることができるからである。ただし、領域 E , H の両方の配線接続を行わなければならない訳ではなく、いずれか一方での配線接続を行うだけでも基板電位を固定できる。なお、上記配線 M 2 g ~ M 2 j は、例えば第 2 配線層に形成された配線であり、Y 方向に延在するように形成されている。

【0027】

次に、図 9 は図 8 での内部回路領域 C A 1 での設計変更の具体例を示している。この場合も領域 E 1 , E 2 の配線 (スルーホール) 接続による設計変更については、前記したのと同じである。配線 M 1 j , M 1 k は、基板バイアス電位 V_{bn} , V_{bp} を各回路セル B C の n ウエル N W および p ウエル P W に供給する配線であり、第 1 配線層に形成され、X 方向に沿って延在形成されている。配線 M 1 j は、配線 M 2 e と交差する部分でスルーホール T H 2 5 を通じて配線 M 2 e と

電氣的に接続されている一方、コンタクトホールCT7を通じてn⁺型の半導体領域5Nと接続されnウエルNWと電氣的に接続されている。本実施の形態では、配線2eをスルーホールTH9を通じて電源電位V_{dd}用の配線M1bと接続したことにより配線M2eに電源電位V_{dd}が供給されるようになっているので、この配線M2eに電氣的に接続される配線M1jを通じて各回路セルBCのnウエルNWを電源電位V_{dd}に固定することが可能になっている。また、配線M1kは、配線M2aと交差する部分でスルーホールTH26を通じて配線M2aと電氣的に接続されている一方、コンタクトホールCT8を通じてp⁺型の半導体領域5Pと接続されpウエルPWと電氣的に接続されている。本実施の形態では、配線2aをスルーホールTH10を通じて基準電位V_{ss}用の配線M1iと接続したことにより配線M2aに基準電位V_{ss}が供給されるようになっているので、この配線M2aに電氣的に接続される配線M1kを通じて各回路セルBCのpウエルPWを基準電位V_{ss}に固定することが可能となっている。さらに、基板バイアス系電位V_{bb}用の配線M2a, M2b, M2e, M2fを電源電位V_{dd}および基準電位V_{ss}に設定できるので、同一半導体チップ内の入出力回路セルI/Oの基板電位も電源電位V_{dd}および基準電位V_{ss}に固定できる。このように本実施の形態では、回路セルBCおよび入出力回路セルI/Oの基板電位の固定を、スルーホールTH9, TH10の配置のみで行えるので、基板バイアス回路を必要とする半導体装置から基板バイアス回路を必要としない半導体装置への設計変更を容易にすることができ、半導体装置の設計時間の短縮が可能である。また、回路セルBCおよび入出力回路セルI/O内の回路接続変更がないので、各回路セルおよび入出力回路セルI/Oを評価し直す必要もない。したがって、前世代の半導体装置信頼性や性能上で高い評価を得ている部分をそのまま踏襲する次世代の半導体装置を短時間で製造することが可能となる。

【0028】

また、図9では回路セルBCにNAND回路NDおよびNOR回路NR等のようなゲート回路が形成されている場合が例示されている。NAND回路NDおよびNOR回路NRは、例えば2つのpMISQ_{p1}, Q_{p2}および2つのnMISQ_{n1}, Q_{n2}をそれぞれ有している。pMISQ_{p1}は、ソースおよびドレ

イン用の p 型の半導体領域 6 P 1, 6 P 2 と、ゲート電極 3 G 3 とを有し、p M I S Q p 2 は、ソースおよびドレイン用の p 型の半導体領域 6 P 3, 6 P 4 と、ゲート電極 3 G 4 とを有している。また、n M I S Q n 1 は、ソースおよびドレイン用の n 型の半導体領域 6 N 1, 6 N 2 と、ゲート電極 3 G 3 とを有し、n M I S Q n 2 は、ソースおよびドレイン用の p 型の半導体領域 6 N 3, 6 N 4 と、ゲート電極 3 G 4 とを有している。各回路は、最下層の配線 M 0 およびコンタクトホール C T 9, C T 1 0 の配置により形成されている。

【0029】

ここで、図 9 の縦構造の一例を図 1 0 ~ 図 1 2 により説明する。図 1 0 は図 9 の Y 1 - Y 1 線の断面図、図 1 1 は図 9 の Y 2 - Y 2 線の断面図、図 1 2 は図 9 の Y 3 - Y 3 線の断面図をそれぞれ示している。基板 1 S は、例えば p 型のシリコン (S i) 単結晶からなり、その主面 (デバイス形成面) には、例えば溝型の分離部 7 が形成されている。分離部 7 は、基板 1 S に掘られた溝内に酸化シリコン膜 (S i O 2 等) が埋め込まれて形成されている。溝型の分離部 7 に代えて、L O C O S (Local Oxidization of Silicon) 法で形成されたフィールド絶縁膜で分離部を形成しても良い。この分離部 7 で規定された活性領域には、上記 p M I S Q p s, Q p 1, Q p 2 および n M I S Q n s, Q n 1, Q n 2 が形成されている。p M I S Q p s, Q p 1, Q p 2 および n M I S Q n s, Q n 1, Q n 2 は、上記構成の他、基板 1 S とゲート電極 3 G 1 ~ 3 G 4 との間に、例えば酸化シリコン膜等からなるゲート絶縁膜 8 を有している。また、ゲート電極 3 G 1 ~ 3 G 4 上には、例えば酸化シリコン膜からなるキャップ絶縁膜 9 が形成されている。また、ゲート電極 3 G 1 ~ 3 G 4 およびその上のキャップ絶縁膜 9 の側面には、例えば酸化シリコン膜からなるサイドウォール 1 0 が形成されている。

【0030】

基板 1 S の主面上には配線層が形成されている。配線層は、例えばダマシン配線構造とされている。ダマシン配線構造は、絶縁膜に形成された溝または孔等のような配線開口部内に埋込配線を形成した構造であり、例えば上記配線開口部を形成した絶縁膜に導体膜を堆積した後、その導体膜が配線開口部内にのみ残されるように導体膜を化学機械研磨 (Chemical Mechanical Polishing: CMP) 法

で研磨するなどして除去することで形成されている。ここには、上記配線層の一部の絶縁膜 11a ~ 11i、配線 M0、M1 およびプラグ PL1 が示されている。相対的に薄い絶縁膜 11a, 11c, 11e, 11g, 11i は、例えば窒化シリコン膜からなり、相対的に厚い絶縁膜 11b, 11d, 11f, 11h は、例えば酸化シリコン膜からなる。配線 M0 およびプラグ PL1 は、例えばタングステン (W) 等からなる厚い導体膜の外周 (側面および底面) に、例えば窒化チタン (TiN) 等からなる薄いバリア性導体膜を形成した構造を有している。また、配線 M1 は、例えば銅 (Cu) 等からなる厚い導体膜の外周 (側面および底面) に、例えばタンタル (Ta)、窒化タンタル (Ta₂N₅)、チタン (Ti) または窒化チタン (TiN) あるいはそれらのうちの選択された 2 以上の膜の積層膜等からなる薄いバリア性導体膜を形成した構造を有している。最下層と最上層以外は、第 1 配線層の配線 M1 と同様の銅を主配線材料とする構成になっている。配線 M1 は、配線 M0 を介して基板 1S と電氣的に接続される。

【0031】

次に、図 13 は図 8 の周辺回路領域 CA2 での設計変更の具体例を示している。図 13 の符号の CA5 はしきい値電圧が相対的に低い M1S が配置された低しきい値領域、CA6 はしきい値電圧が相対的に高い M1S が配置された高しきい値領域を示している。

【0032】

この場合も領域 H の配線接続による設計変更については、前記したのと同じである。1 箇所の入出力回路セル I/O の領域で、基板バイアス系電位 Vbb を電源電位 Vdd 用および基準電位 Vss 用の配線と接続することで、内部回路領域 CA1 の全ての回路セル BC および周辺回路領域 CA2 の全ての入出力回路セル I/O の基板バイアス系電位 Vbb を電源電位 Vdd 用および基準電位 Vss に固定できる。したがって、基板バイアス回路を必要とする半導体装置から基板バイアス回路を必要としない半導体装置への設計変更を容易にすることができ、半導体装置の設計時間の短縮が可能である。また、配線修正は 1 箇所で良く、回路セル BC や入出力回路セル I/O 自体の接続変更がないので、各回路セル BC や入出力回路セル I/O を評価し直す必要もない。したがって、前世代の半導体装

置の信頼性や性能上で高い評価を得ている部分をそのまま踏襲する状態で、次世代の半導体装置を短時間で製造することが可能となる。

【0033】

入出力回路セル I/O は、入出力バッファ等のように、内部回路と外部とのインターフェイスに必要な一連の回路をまとめて有するものである。外部からの信号（例えば 3.3 V）と内部信号（例えば 1.5 V）とのインターフェイスは、入出力回路セル I/O を介して行われる。このため、入出力回路セル I/O は、パッド P D の近傍に配置する必要があるとともに、入出力回路セル I/O には少なくとも 2 種類の電源電圧を供給する必要がある。保護回路領域 E S D は内部回路を静電破壊等のような過電圧から保護するための回路が配置された領域である。ここでは、保護回路として保護ダイオードが例示されている。入力バッファ回路領域 I B および出力バッファ回路領域 O B は内部回路と外部とのインターフェイスに必要となるバッファ回路が配置された領域であり、例えば 3.3 V 程度の電源電圧で動作する。入力用のレベルシフタ回路領域 L S 1 は、入力信号の電圧レベルを内部回路での電圧レベルに変換する回路が配置された領域であり、例えば 1.5 V 程度の電源電圧で動作する部分と、3.3 V 程度の電源電圧で動作する部分とを有している。一方、出力用のレベルシフタ回路領域 L S 2 は、内部回路からの出力信号の電圧レベルを外部での電圧レベルに変換する回路が配置された領域であり、例えば 1.5 V 程度の電源電圧で動作する部分と、3.3 V 程度の電源電圧で動作する部分とを有している。各入出力回路セル I/O のレベルシフタ回路領域 L S 1, L S 2 には、上記と同様の構成を有するスイッチ回路セル S W が配置されている。各周辺回路領域 C A 2 の回路を構成する p M I S は n ウェル領域内に配置され、n M I S は p ウェル領域内に配置されている。周辺回路領域 C A 2 での n ウェルおよび p ウェルは半導体チップ 1 C の外周に沿って環状に配置されている。

【0034】

（実施の形態 2）

本実施の形態 2 においては、S R A M（Static Random Access Memory）等のようなメモリ回路の場合もメモリセルの p M I S および n M I S に基板バイアス

を使用している場合があるので、その場合の基板バイアス回路を無効化する例を説明する。

【0035】

図14はSRAMモジュールSRMを有する半導体装置を模式的に示した説明図、図15は図14のSRAMモジュールSRMのメモリセルSMCの回路構成の一例を示す回路図である。まず、SRAMモジュールSRMについて説明する。SRAMモジュールSRMは、メモリセルアレイMCAと、行デコーダ回路領域CDと、間接周辺回路領域PCと、列デコーダ回路領域RDと、センスアンプ回路領域SAと、モジュール内の入出力回路セルI/Omとを有している。メモリセルアレイMCAには、複数のメモリセルSMCがワード線WLとビット線BL1, BL2との交点近傍に配置されている。図15には、例えば6MIS型のメモリセルSMCが示されている。すなわち、メモリセルSMCは、駆動用のnMISQndと、負荷用のpMISQplと、転送用のnMISQntとをそれぞれ2個ずつ有している。上記入出力回路セルI/OmのMISは、そのしきい値電圧が3.3V電源で駆動する入出力回路セルI/Oに比べて低く設定されている。このようなSRAMモジュールSRMにおいて、基板バイアス電位Vbn, Vbpは、各メモリセルSMC、行デコーダ回路領域CD、間接周辺回路領域PC、入出力回路セルI/Omの各MISのウエルに供給されるようになっている。なお、ビット線BL1, BL2には互いに反転した信号が伝送される。また、符号のCSはチップセレクト信号、符号のADはアドレス信号を示している。

【0036】

次に、配線および基板バイアス回路系について説明する。配線M2kは、電源電位Vdd供給用の配線であり、配線2mは、基準電位Vss供給用の配線である。配線M2nは、本来、基板バイアス回路の制御信号Vbcpを伝送する配線であり、スルーホールTH27を通じて配線M1mに接続され、これを通じてスイッチ回路セルSWのpMISQpsのゲート電極と電氣的に接続されている。配線2pは、本来、基板バイアス回路の制御信号Vbcnを伝送する配線であり、スルーホールTH28を通じて配線M1nに接続され、これを通じてスイッチ回路セルSWのnMISQnsのゲート電極と電氣的に接続されている。配線2

q は、本来、基板バイアス電位 V_{bp} を供給する配線であり、スイッチ回路セル SW の $pMISQ_p$ のソースと電氣的に接続されている。配線 $2r$ は、本来、基板バイアス電位 V_{bn} を供給する配線であり、スイッチ回路セル SW の $nMISQ_n$ のドレインと電氣的に接続されている。これらの配線 $M2k$, $M2m$, $M2n$, $M2p \sim M2r$ は、第2配線層に形成されている。また、上記配線 $M1m$, $M1n$ は、第1層配線に形成されている。これら配線 $M2k$, $M2m$, $M2n$, $M2p \sim M2r$ に交差（直交）する配線 $M1p$, $M1q$ は、それぞれ本来は基板バイアス電位 V_{bp} , V_{bn} を各メモリセル SMC 、行デコーダ回路領域 CD 、間接周辺回路領域 PC 、入出力回路セル I/O_m の各 $pMIS$ の n ウエルおよび各 $nMIS$ の p ウエルに供給する配線である。配線 $M1p$ はスルーホール $TH29$ を通じて配線 $M2q$ と電氣的に接続され、配線 $M1q$ はスルーホール $TH30$ を通じて配線 $M2r$ と電氣的に接続されている。なお、図面を見易くするためメモリセルアレイ MCA への配線 $M1p$, $M1q$ は1本ずつのみ示しているが、実際は複数の配線 $M1p$, $M1q$ が配置されている。

【0037】

以上の構成は基板バイアス回路を必要とする半導体装置が本来持っている構成である。ここで、基板バイアスが不要になった場合の例を説明する。この場合、本実施の形態2では領域 J の配線（スルーホール）の配置だけで設計変更を行う。すなわち、配線 $2m$ と配線 $1m$ とをスルーホール $TH31$ を通じて電氣的に接続する。これにより、スイッチ回路セルの $pMISQ_p$ は常にオンとされスイッチ動作が無効化される。また、配線 $2k$ と配線 $1n$ とをスルーホール $TH32$ を通じて電氣的に接続する。これにより、スイッチ回路セルの $nMISQ_n$ は常にオンとされスイッチ動作が無効化される。また、配線 $2k$ と配線 $1p$ とをスルーホール $TH33$ を通じて電氣的に接続する。これにより、配線 $1p$ に電源電位 V_{dd} が印加されるので、メモリセルアレイ MCA 、行デコーダ回路領域 CD 、間接周辺回路領域 PC 、列デコーダ回路領域 RD 、センスアンプ回路領域 SA 、モジュール内の入出力回路セル I/O_m の $pMIS$ の n ウエルが電源電位 V_{dd} に固定される。また、配線 $2m$ と配線 $1q$ とをスルーホール $TH34$ を通じて電氣的に接続する。これにより、配線 $1q$ に基準電位 V_{ss} が印加されるので、メモ

リセルアレイMCA、行デコーダ回路領域CD、間接周辺回路領域PC、列デコーダ回路領域RD、センスアンプ回路領域SA、モジュール内の入出力回路セルI/OmのnMISのpウェルPWが基準電位Vssに固定される。

【0038】

このように、本実施の形態では、回路や配線のレイアウトを修正することなく、スルーホール（接続孔）TH31～TH34の配置のみでスイッチ回路セルSWのスイッチ動作を無効化し、かつ、SRAMモジュールSRMのnウェルおよびpウェルの電位を固定化することができる。したがって、SRAMを有する半導体装置の設計変更にかかる時間をほとんど無くすることができるので、設計のQTAT（Quick Turn Around Time）が可能となる。また、SRAMモジュールSRMでの配線修正が無いので、SRAMモジュールSRMの回路の評価をし直す必要もない。これらにより、前世代のSRAMモジュールを有する半導体装置の信頼性や性能の上で高い評価を得ている部分をそのまま踏襲する状態で、次世代のSRAMモジュールを有する半導体装置を短時間で製造することが可能となる。

【0039】

（実施の形態3）

本実施の形態3では、半導体チップ内の複数の回路領域（マクロセルまたはモジュール）のうち、一部の回路領域のみ基板バイアス電源供給を有効にし、他の回路領域の基板バイアス電源を電源電位および基準電位等に固定して無効にする例を説明する。

【0040】

図16は、本実施の形態3の半導体装置の要部を模式的に示している。ここには、例えばSOC（System On Chip）を構築する入出力回路セルI/O、割込制御回路IVC、基板バイアス制御回路VBBC、クロック発生回路CLK、他の制御回路ULC、中央演算処理回路CPU、ロムモジュールROM、第1のSRAMモジュールSRM1、デジタル・トゥ・アナログ回路D/A、DMA（Direct Memory Access Controller）コントローラDMAC、アナログ・トゥ・デジタル回路A/Dおよび第2のSRAMモジュールSRM2が示されている。符号

のBUSはアドレス／データバス配線であり、符号のCOSは制御信号配線である。

【0041】

領域Kの各回路については、基板バイアスを印加し、それ以外の領域の回路については基板バイアスを印加せず、基板電位を前記実施の形態1、2と同様に電源電位 V_{dd} および基準電位 V_{ss} に固定する。基板バイアス回路を使用しない回路群（基板バイアス電源を無効にする回路群）の設計方法は、前記実施の形態1、2と同じである。ここでは領域L、Mで基板バイアスを前記同様に固定する場合が例示されている。すなわち、入出力回路セルI/Oについては、領域Lの1箇所ですべての入出力回路セルI/Oの基板バイアス系電位 V_{bb} を電源電位 V_{dd} および基準電位 V_{ss} に固定する。また、基板バイアス電源を無効にする回路群については、領域Mの1箇所ですべて一括して基板バイアス系電位 V_{bb} を電源電位 V_{dd} および基準電位 V_{ss} に固定する。いずれの場合も基板バイアス電位 V_{bn} および制御信号 V_{bcp} を基準電位 V_{ss} に固定し、基板バイアス電位 V_{bp} および制御信号 V_{bcn} を電源電位 V_{dd} に固定する。一方、基板バイアス回路を使用する回路群（基板バイアス電源を有効にする回路群）については、領域Nに示すように、その基板バイアス系電位 V_{bb} を、基板バイアス電源を無効にする回路群の基板バイアス系電位 V_{bb} から分離する。すなわち、基板バイアス電源系を2系統持つようにする。これにより、同一の半導体チップ内に基板バイアス電源を有効にする回路群と無効にする回路群とが存在するようになったとしても、それに柔軟に対応できる。したがって、本実施の形態3においても前記実施の形態1、2と同様の効果を得ることができる。

【0042】

（実施の形態4）

本実施の形態4では、半導体チップ内の複数の素子のうち、所定の素子のみ基板バイアス電源を有効にし、他の素子の基板バイアス電源を電源電位または基準電位等に固定して無効にする例を説明する。ここでは、例えばpMISまたはnMISの基板バイアス電源を固定する場合について説明する。pMISまたはnMISのいずれかのしきい値電圧を高めに設計した場合、しきい値を低く設計し

た pMIS または nMIS の基板バイアス電源のみを有効にして、その低しきい値の MIS のしきい値を制御する。これにより、半導体装置の消費電力を低減できる。

【0043】

図 17 は、基板バイアス電源を有効にするか無効にするかを決めるときの指標を示している。なお、図中の V_{th} はしきい値を意味している。nMIS も pMIS も高しきい値の場合は、基板バイアス電源は不用である。この場合は、前記実施の形態 1～3 と同様に nMIS および pMIS の基板バイアス系電位 V_{bb} (基板バイアス電位 V_{bn} , V_{bp} および制御信号 V_{bcn} , V_{bcp}) を電源電気 V_{dd} および基準電位 V_{ss} に固定する。また、nMIS が高しきい値で、かつ、pMIS が低しきい値の場合は、pMIS への基板バイアス電源供給は必要であるが、nMIS への基板バイアス電源供給は不要なので、前記実施の形態 1～3 と同様に nMIS の基板バイアス系電位 V_{bb} (基板バイアス電位 V_{bn} および制御信号 V_{bcn}) を電源電気 V_{dd} および基準電位 V_{ss} に固定する。また、nMIS が低しきい値で、かつ、pMIS が高しきい値の場合は、nMIS への基板バイアス電源供給は必要であるが、pMIS への基板バイアス電源供給は不要なので、前記実施の形態 1～3 と同様に pMIS の基板バイアス系電位 V_{bb} (基板バイアス電位 V_{bp} および制御信号 V_{bcp}) を電源電気 V_{dd} および基準電位 V_{ss} に固定する。また、nMIS も pMIS も低しきい値の場合は、nMIS および pMIS の両方に基板バイアス電源は必要である。

【0044】

図 18 は、本実施の形態 4 の半導体装置の具体例を模式的に示している。符号 M_{dd} は電源電位 V_{dd} 供給用の配線、符号 M_{ss} は基準電位 V_{ss} 供給用の配線、符号 M_{bp1} , M_{bp2} は基板バイアス電位 V_{bp} 供給用の配線、符号 M_{bn1} は基板バイアス電位 V_{bn} 供給用の配線、符号 M_{bn2} は本来は基板バイアス電位 V_{bn} を供給するために設けられた配線を示している。

【0045】

ここでは、中央演算処理回路 CPU、制御回路 CC およびメモリモジュール M のメモリ制御回路 MMC の nMIS および pMIS がいずれも低しきい値の M

I Sとされている。また、メモリモジュールMMのメモリセルアレイMCA 2のnMISは高しきい値のMISとされ、pMISは低しきい値のMISとされている。この場合、中央演算処理回路CPU、制御回路CCおよびメモリモジュールMMのメモリ制御回路MMCのnMISおよびpMISに対しては、基板バイアス回路のスイッチ回路セルSW1を使用して基板バイアス電圧を適宜印加し、そのnMISおよびpMISの動作を制御する。また、メモリモジュールMMのメモリセルアレイMCA 2のpMISに対しても、基板バイアス回路のスイッチ回路セルSW2を使用して基板バイアス電圧を適宜印加し、そのpMISの動作を制御する。例えば半導体装置のスタンバイ時に、中央演算処理回路CPU、制御回路CCおよびメモリモジュールMMのメモリ制御回路MMCのnMISおよびpMISと、メモリセルアレイMCAのpMISとに基板バイアス電源を供給することで、しきい値電圧を高くしてリーク電流を抑える。これにより、半導体装置の消費電力を低減できる。一方、メモリモジュールMMのメモリセルアレイMCA 2のnMISに対しては、基板バイアス系電位Vbbの供給は不要なので、前記実施の形態1～3と同様に領域Qに示すように、基板バイアス電位Vbn用の配線Mb n 2を配線Mssに接続して電位を基準電位Vssに固定する。

【0046】

このように本実施の形態4では、低しきい値のMISと高しきい値のMISとが同一の半導体チップに存在するときは、低しきい値のMISに対しては基板バイアスを印加して動作制御を行う一方、高しきい値のMISに対しては基板バイアス電源供給を無効化する。これにより、低しきい値MISについてはリーク電流を抑えるようにでき、高しきい値MISについてはリーク電流の大きい基板バイアス回路（電源およびスイッチ）を半導体装置の全体回路から分離できるので、半導体装置の全体的な消費電力を下げることができる。そして、本実施の形態4では、前記実施の形態1～3と同様に、基板バイアス回路の無効化設計を短時間ででき、また、評価のし直しも不要なので、基板バイアス回路を必要とする回路と必要としない回路とを同一半導体チップに有するような半導体装置でも製造時間の短縮が可能である。

【0047】

(実施の形態 5)

本実施の形態 5 では、基板バイアス回路が不要な場合に、スイッチ回路セルを接続セルに代えることで設計変更を行う方法について説明する。

【 0 0 4 8 】

図 1 9 は、基板バイアス回路を無効化する前の半導体装置の要部平面図を模式的に示している。まず、基板バイアス回路の無効化のために、スイッチ回路セル S W を削除する。続いて、スイッチ回路セル S W の代わりに、予め用意しておいた接続セルをセルライブラリから取り出して配置する。図 2 0 は、接続セル C O C を配置した後の半導体装置の要部平面図を模式的に示している。接続セル C O C は、基板バイアス電位 V b n 用の配線 M 2 a を基準電位 V s s 用の配線 M 1 a と接続し、制御信号用 V b c n 用の配線 M 2 b を電源電位 V d d 用の配線 M 1 b と接続し、基板バイアス電位 V b p 用の配線 M 2 e を電源電位 V d d 用の配線 M 1 b と接続し、制御信号用 V b c p 用の配線 M 2 f を基準電位 V s s 用の配線 M 1 a と接続するスルーホール T H 7 ~ T H 1 0 の情報を有している。このため、この接続セル C O C を基板 1 S の 1 箇所配置するだけで、半導体チップ内の全ての基板バイアス回路の無効化が可能となっている。もちろん、接続セル C O C を複数箇所配置しても良い。また、基板バイアス回路を無効化する回路と、無効化しない回路とを有する場合は、無効化する回路群と接続されたスイッチ回路セル S W 部分に接続セルを配置しても良い。

【 0 0 4 9 】

本実施の形態 5 によれば、前記実施の形態 1 ~ 4 に比べると半導体装置の設計に時間が掛かるものの、半導体装置の全部の設計し直しをする場合に比べれば、半導体装置の設計時間を短縮でき、また、回路の評価し直しを無くせるので、半導体装置の製造時間を短縮できる。また、安定動作を行うために比較的大きな M I S で構成されるスイッチ回路セルを無くすことができるので、負荷を削減できる。このため、半導体装置の消費電力の低減や動作速度の向上を推進できる。さらに、スイッチ回路セルを無くせる分、そのスイッチ回路セルの領域を、回路セル B C の配置領域として使用できるので、半導体チップの面積増大を招くことなく、回路セル B C の配置数を増加させることができる。したがって、半導体装置

の性能向上を推進できる。

【0050】

(実施の形態6)

本実施の形態6においては、回路モジュールと電源電位との間に電源スイッチを挿入することで、回路モジュール内での内部電源を遮断可能とし、スタンバイ電流の低減を実現可能な構成を有する半導体装置の設計方法例を説明する。

【0051】

図21は、本実施の形態6の半導体装置の一例を模式的に示している。ここには、マスタースイッチMSW、電源スイッチコントローラPSC、複数の回路モジュールCM1～CM5、各回路モジュールCM1～CM5と基準電位Vssとの間に接続された複数の電源スイッチPSW1～PSW5、各回路モジュールCM1～CM5に共通のアドレス／データバス配線BUSが示されている。

【0052】

マスタースイッチMSWは、各回路モジュールCM1～CM5に接続されたスイッチ回路セルSWのオンオフ動作を制御する共通のスイッチである。このマスタースイッチMSWの動作により、各回路モジュールCM1～CM5内のpMISQpおよびnMISQnのウエルの電位を基板バイアス電位Vbp, Vbnにしたり、電源電位Vddおよび基準電位Vssにしたりの切り換え制御が可能になっている。本実施の形態6でも、基板バイアスの切り換えを必要としないものについては、前記実施の形態1～5で説明した方法で容易に設計し直しができる。

【0053】

また、電源スイッチコントローラPSCは、各電源スイッチPSW1～PSW4のオンオフ動作を制御する共通のスイッチである。この電源スイッチコントローラPSCの動作により、電源スイッチPSW1～PSW4のオンオフが制御され、これにより、各回路モジュールCM1～CM4に電源を供給したり、遮断したりの切り換え制御が可能になっている。このように回路モジュールCM1～CM4と基準電位Vssとの間に電源スイッチPSW1～PSW4を挿入することで、回路モジュールCM1～CM4内での内部電源を遮断可能とし、スタンバイ

電流の低減を実現することができる。

【0054】

ところで、例えば半導体装置の世代の交代等により、次世代の半導体装置では半導体チップ内の一部の回路モジュールについては常にアクティブとしておきたいというような要望がある場合もある。ここで、半導体装置の全ての回路を設計し直すと前記と同様に多大な労力と時間を要する。そこで、その場合は、例えば次のようにする。ここで、回路モジュールCM5は、電源遮断をしない、常にアクティブにしておきたい回路モジュールを例示している。本実施の形態6では、回路モジュールCM5に対して電源を供給する電源スイッチSW5を、上記電源スイッチコントローラPSCから切り離す。そして、その電源スイッチSW5のゲート電極を領域Rに示すように電源電位V_{dd}に固定する。これにより、回路モジュールPSW5を常にアクティブ状態にすることができる。このように本実施の形態6では、電源スイッチSW5を、上記電源スイッチコントローラPSCから切り離し、電源スイッチPSW5のゲート電極を電源電位V_{dd}に接続するだけで、半導体装置の設計変更が可能である。すなわち、電源スイッチPSW1～PSW5の情報を有する半導体装置の設計データをそのまま利用して、次の世代の半導体装置を設計することが容易にできる。

【0055】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】

例えば配線構造はダマシン配線構造に限定されるものではなく、例えばアルミニウムを主体とする配線材料をパターンニングして得られる通常の配線構造としても良い。

【0057】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMIS回路を有する半導体装置、SRAMモジュールを有する半導体装置、SOC構成を有する半導体装置等に適用した場合について説明したが

、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory) またはフラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置にも適用できる。

【0058】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0059】

すなわち、基板バイアス回路が不要な回路領域に基板バイアスを印加するしないを切り換えるスイッチが無効にされ、かつ、基板バイアス回路が不要な回路領域に電源電圧が印加されるように、配線の一部を変更することにより、時間を掛けることなく基板バイアスを固定することができるので、半導体装置の製造時間を短縮することができる。

【図面の簡単な説明】

【図1】

本発明者が検討した半導体装置の模式的な要部平面図である。

【図2】

本発明者が検討した半導体装置の設計方法の1手法の説明図である。

【図3】

本発明の一実施の形態である半導体装置を模式的に示す説明図である。

【図4】

本発明の一実施の形態である半導体装置の半導体チップの一例の全体平面図である。

【図5】

図4の領域Fの要部拡大平面図である。

【図6】

本発明者が検討した半導体装置の半導体チップを模式的に示す説明図である。

【図7】

本発明の一実施の形態である半導体装置の半導体チップを模式的に示す説明図である。

【図 8】

本発明の一実施の形態である半導体装置の要部平面図である。

【図 9】

本発明の一実施の形態である半導体装置の要部平面図である。

【図 1 0】

図 9 の Y 1 - Y 1 線の断面図である。

【図 1 1】

図 9 の Y 2 - Y 2 線の断面図である。

【図 1 2】

図 9 の Y 3 - Y 3 線の断面図である。

【図 1 3】

本発明の一実施の形態である半導体装置の要部平面図である。

【図 1 4】

本発明の他の実施の形態である S R A M モジュールを有する半導体装置を模式的に示した説明図である。

【図 1 5】

図 1 4 の S R A M モジュールのメモリセルの回路構成の一例を示す回路図である。

【図 1 6】

本発明の他の実施の形態である半導体装置の要部を模式的に示す説明図である。

【図 1 7】

基板バイアス電源を有効にするか無効にするかを決めるときの指標を示す説明図である。

【図 1 8】

本発明の他の実施の形態である半導体装置を模式的に示した説明図である。

【図 1 9】

本発明の他の実施の形態である半導体装置の設計方法を説明する半導体基板の要部平面図である。

【図 2 0】

本発明の他の実施の形態である半導体装置の設計方法を説明する半導体基板の要部平面図である。

【図 2 1】

本発明の他の実施の形態である半導体装置の回路構成の模式的な説明図である。

【符号の説明】

- 1 S 半導体基板
- 2 P 1, 2 P 2 半導体領域
- 2 N 1, 2 N 2 半導体領域
- 3 G 1, 3 G 2 ゲート電極
- 4 N 半導体領域
- 4 P 半導体領域
- 5 N 半導体領域
- 5 P 半導体領域
- 6 P 1 ~ 6 P 4 半導体領域
- 6 N 1 ~ 6 N 4 半導体領域
- 7 分離部
- 8 ゲート絶縁膜
- 9 キャップ絶縁膜
- 1 0 サイドウォール
- NW n ウエル
- PW p ウエル
- B C 回路セル
- B C R 回路セル列
- M C マクロセル
- S W スレーブスイッチ回路セル

I/O, I/Os, I/Ov 入出力回路セル

Qp pチャネル型のMIS・FET

Qn nチャネル型のMIS・FET

Qps pチャネル型のMIS・FET

Qns nチャネル型のMIS・FET

Qpl pチャネル型のMIS・FET

Qnd nチャネル型のMIS・FET

Qnt nチャネル型のMIS・FET

INV インバータ回路

ND NAND回路

NR NOR回路

M0 配線

M1, M1a~M1k, M1m, M1n, M1p, M1q 配線

M2a~M2k, M2m, M2n, M2p~M2r 配線

M3a~M3f 配線

Mdd, Mss, Mbp1, Mbp2, Mbn1, Mbn2 配線

Vdd 電源電位

Vss 基準電位 (電源電位)

Vbb 基板バイアス系電位

Vbn, Vbp 基板バイアス電位

Vbcn, Vbcp 制御信号

CT1~CT10 コンタクトホール

TH1~TH34 スルーホール

CA1 内部回路領域

CA2 周辺回路領域

CA3 周回配線領域

CA4 入出力回路領域

CA5 低しきい値領域

CA6 高しきい値領域

MS 基板バイアス電源回路
ESD 保護回路領域
OB 出力バッファ回路領域
IB 入力バッファ回路領域
LS1, LS2 レベルシフト回路領域
SRM SRAMモジュール
SMC メモリセル
MCA, MCA2 メモリセルアレイ
CD 行デコーダ回路領域
PC 間接周辺回路領域
RD 列デコーダ回路領域
SA センスアンプ回路領域
DB データバッファ回路領域
I/Om 入出力回路セル
IVC 割込制御回路
VBBC 基板バイアス制御回路
CLK クロック発生回路
ULC 他の制御回路
CPU 中央演算処理回路
ROM ロムモジュール
SRM1 第1のSRAMモジュール
D/A デジタル・トゥ・アナログ回路
DMAC DMAコントローラ
A/D アナログ・トゥ・デジタル回路
SRM2 第2のSRAMモジュール
BUS アドレス／データバス配線
COS 制御信号配線
CC 制御回路
MM メモリモジュール

MMC メモリ制御回路

COC 接続セル

MSW マスタースイッチ

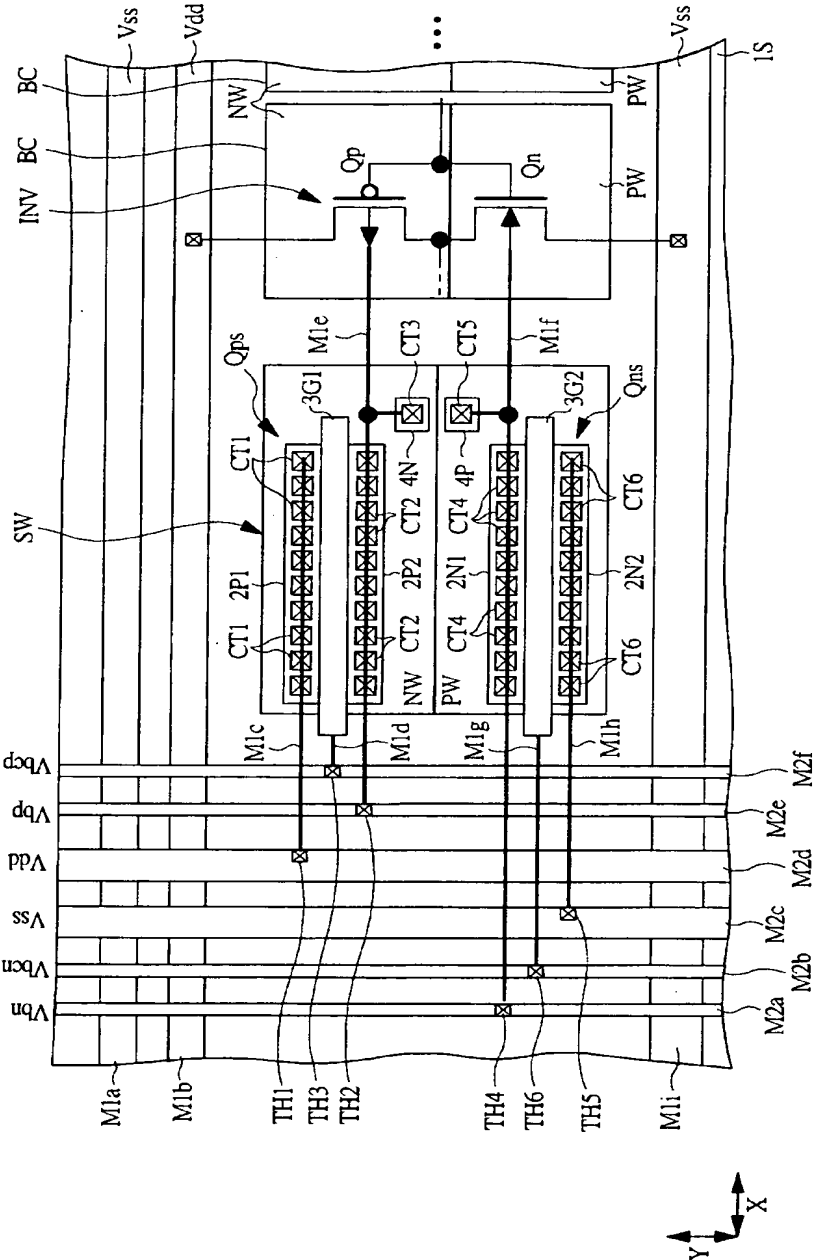
PSC 電源スイッチコントローラ

CM1～CM5 回路モジュール

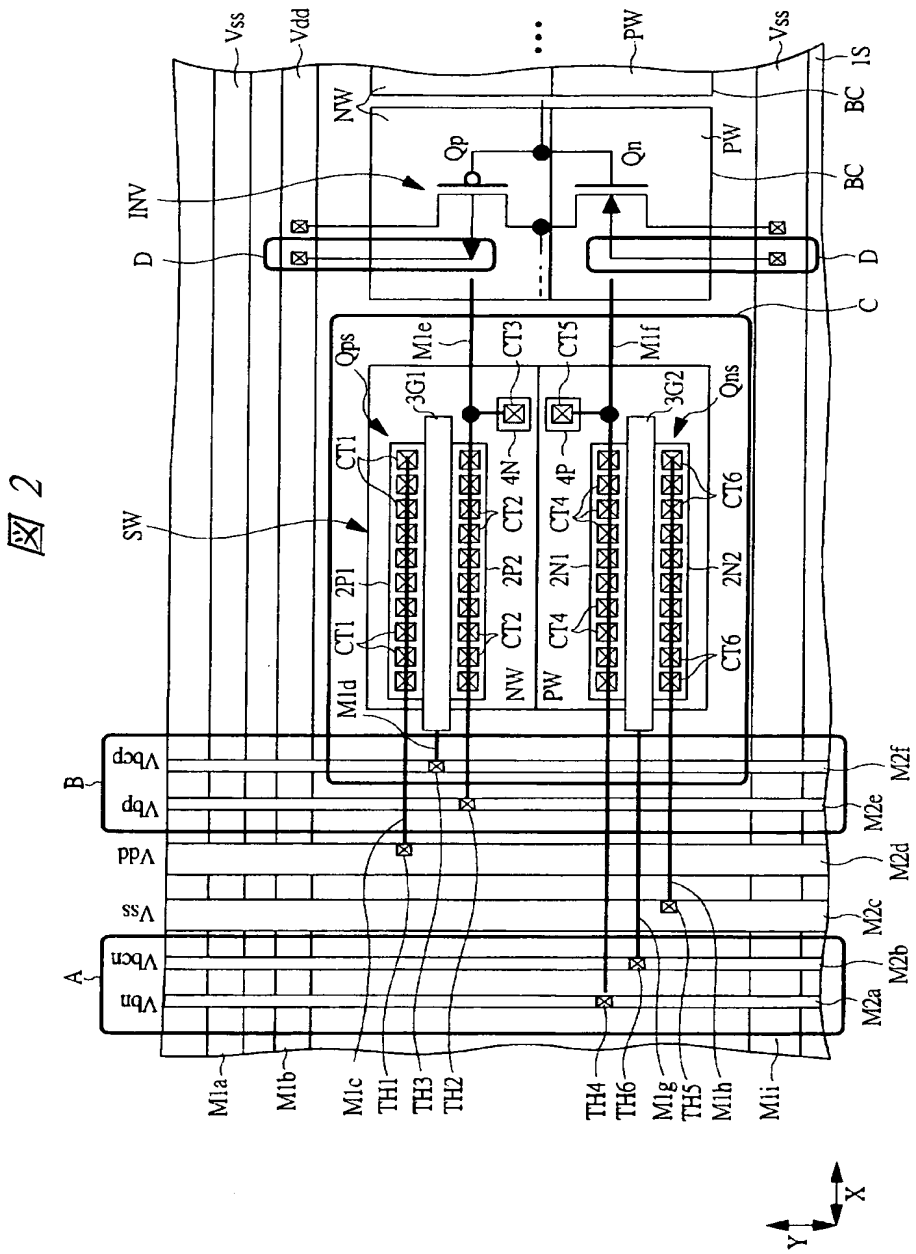
PSW1～PSW5 電源スイッチ

【書類名】 図面
【図 1】

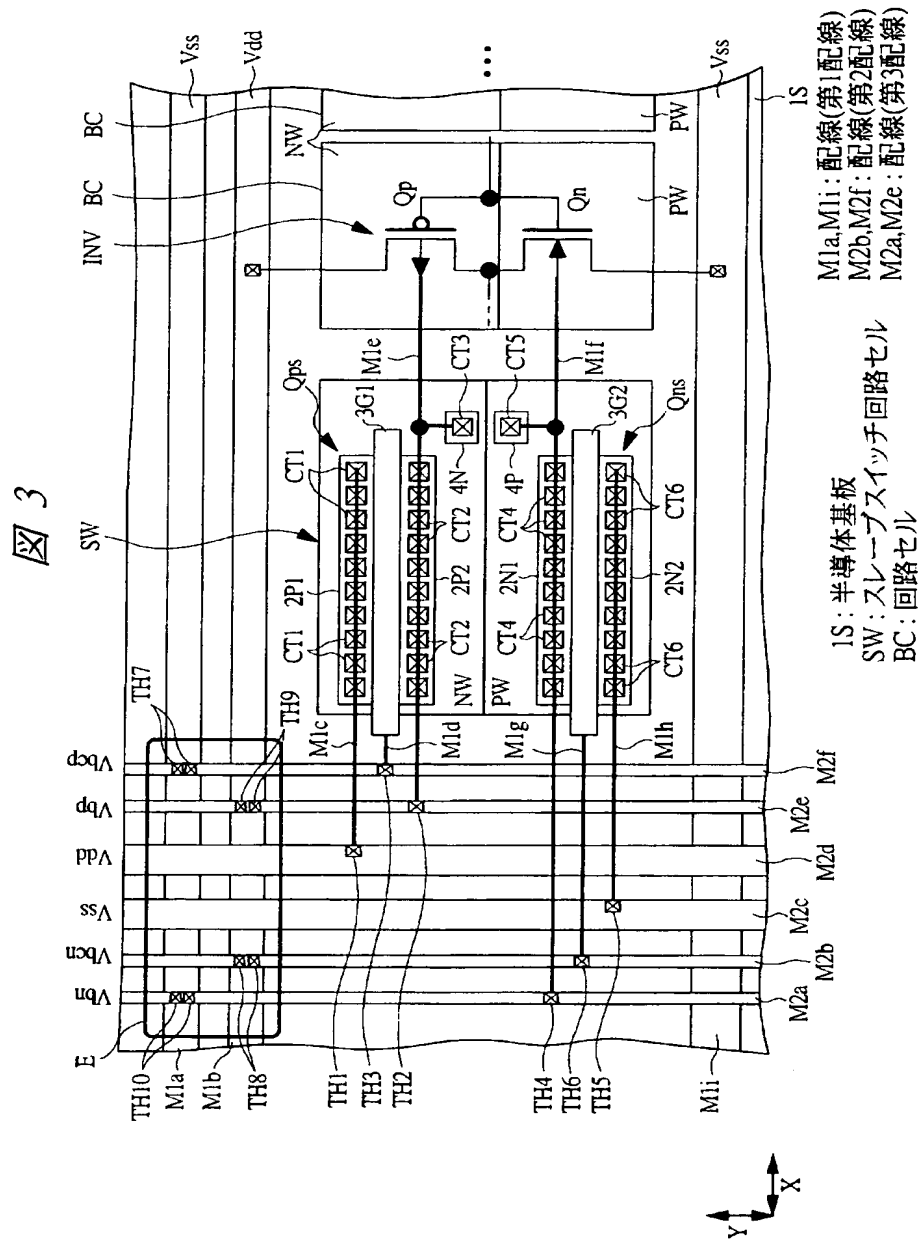
図 1



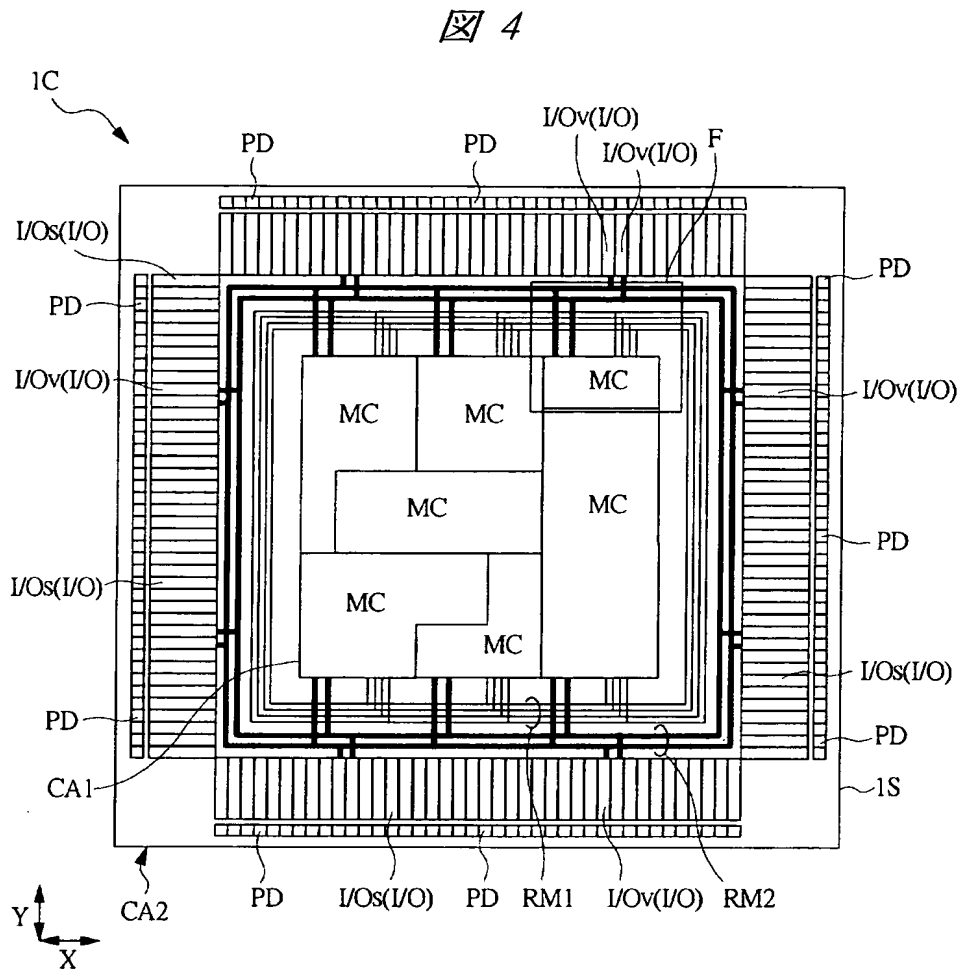
【図 2】



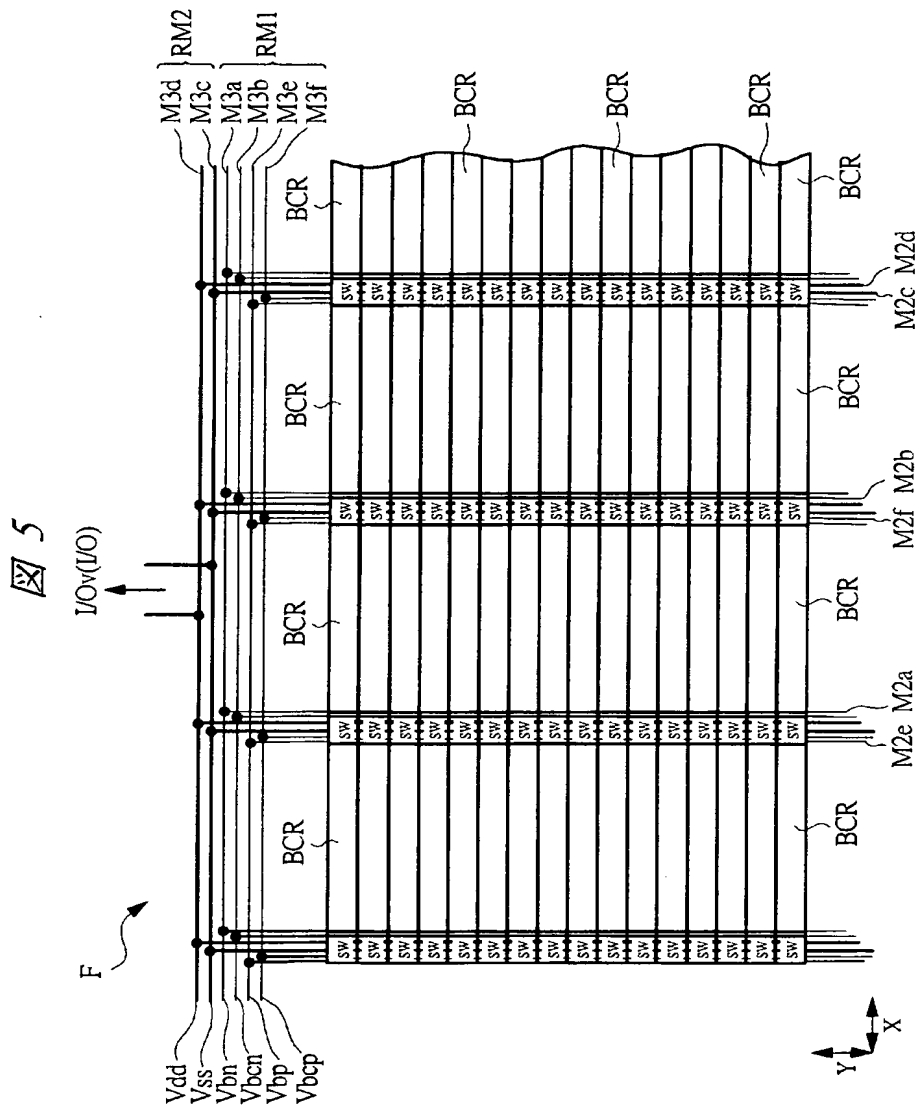
【図 3】



【図 4】

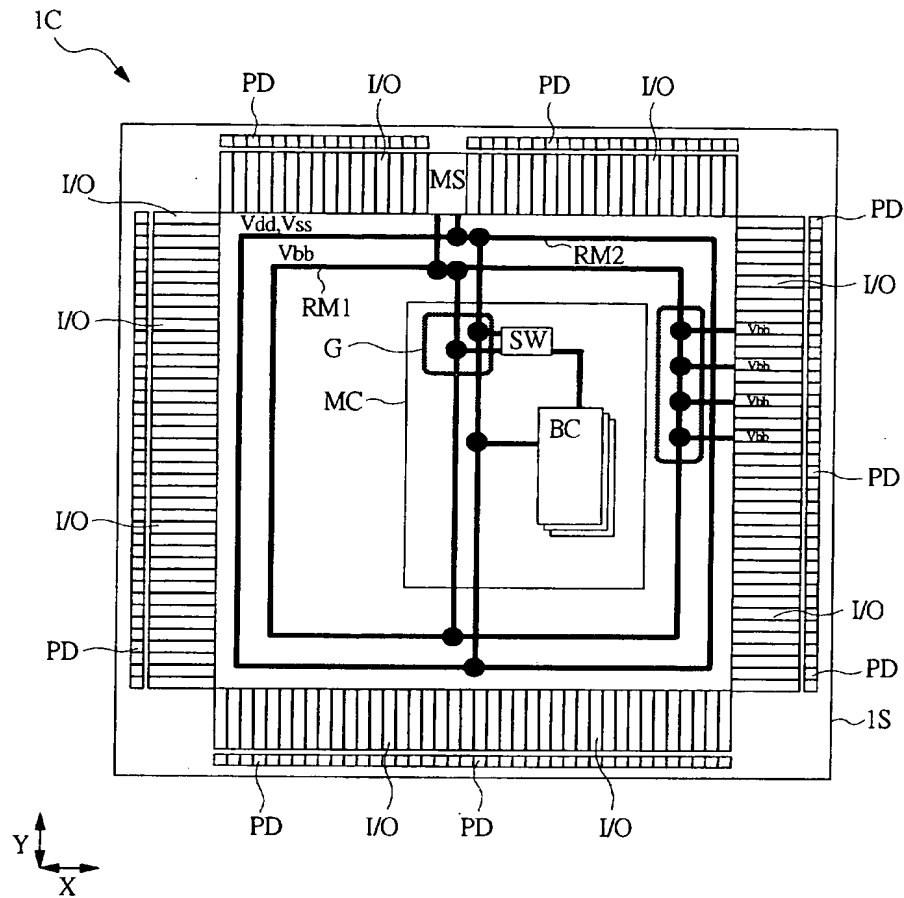


【図 5】

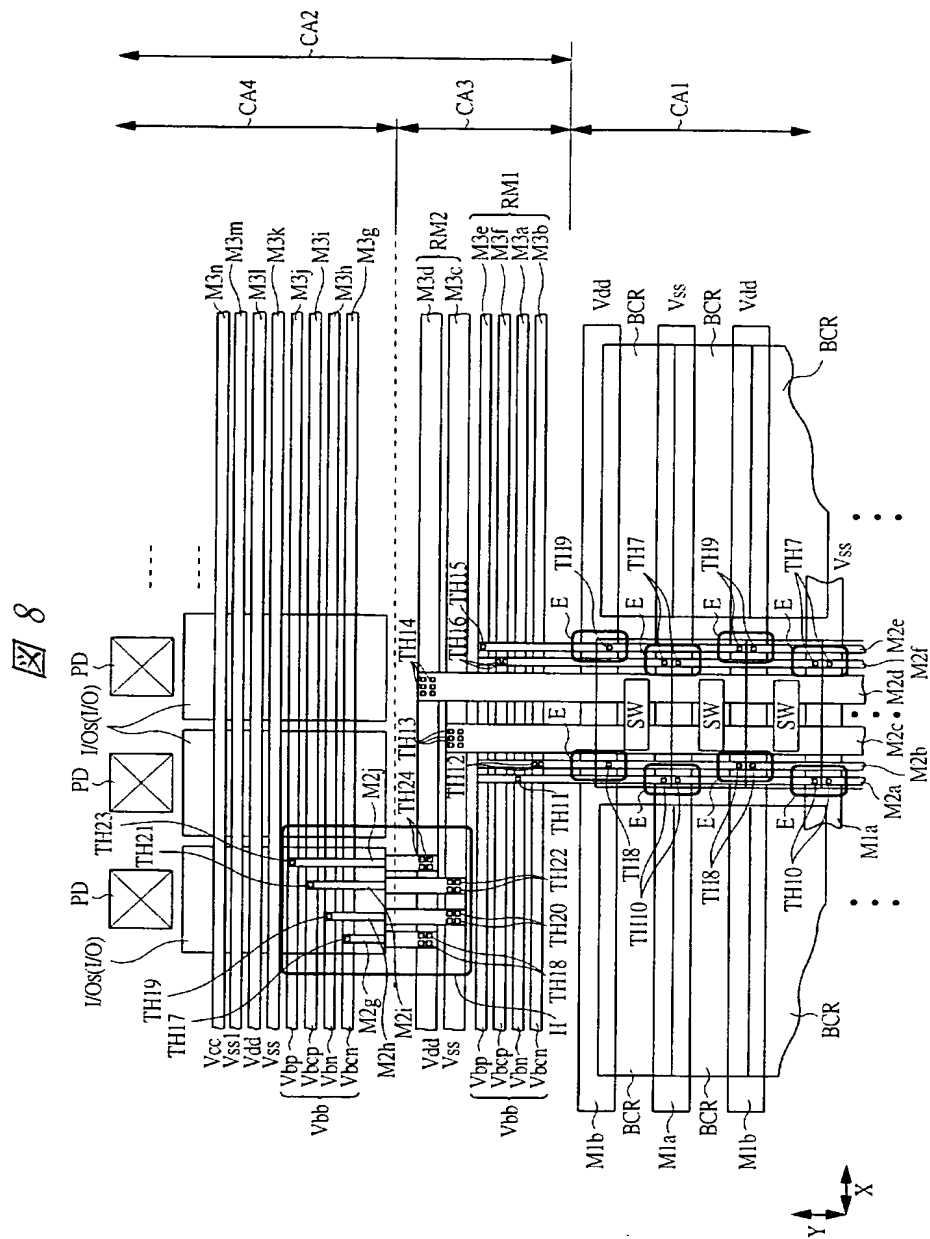


【図 6】

図 6

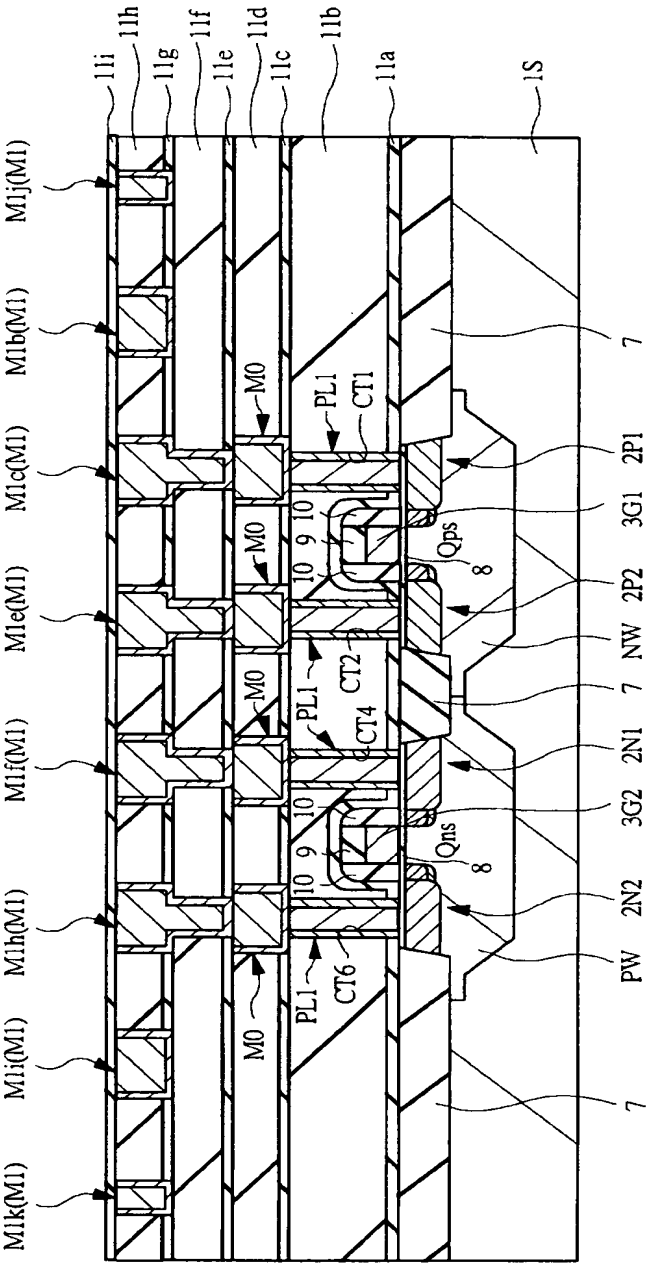


【図 8】



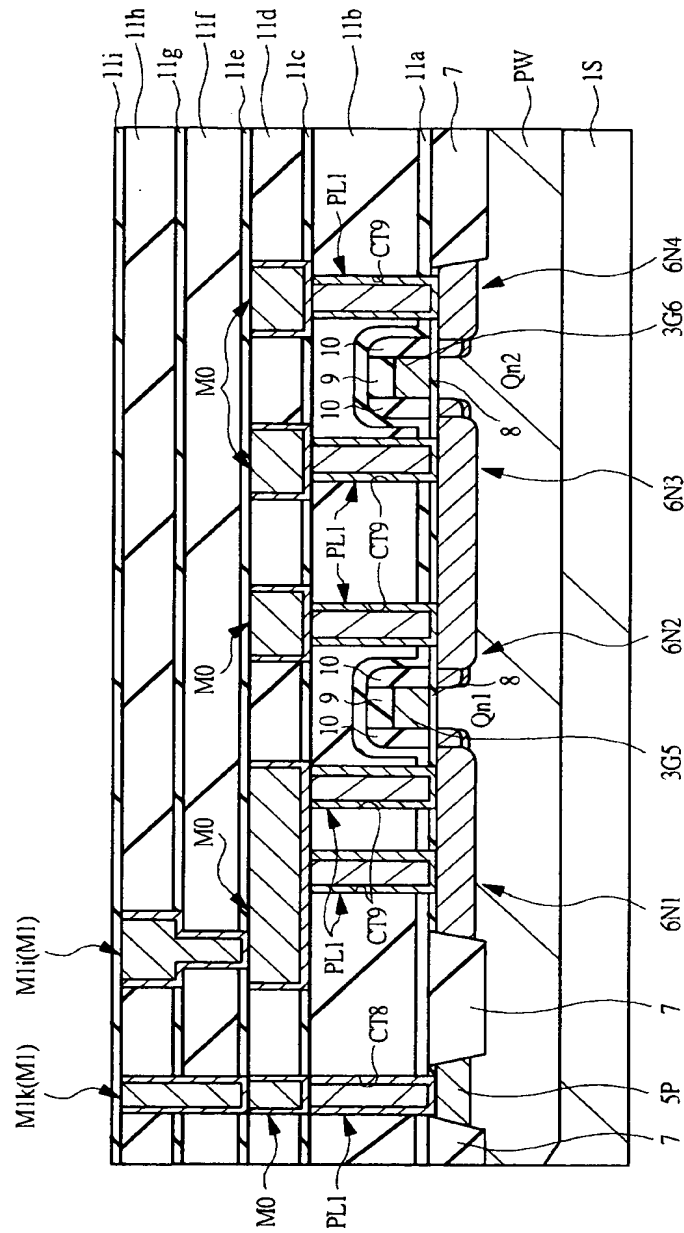
【図 10】

図 10

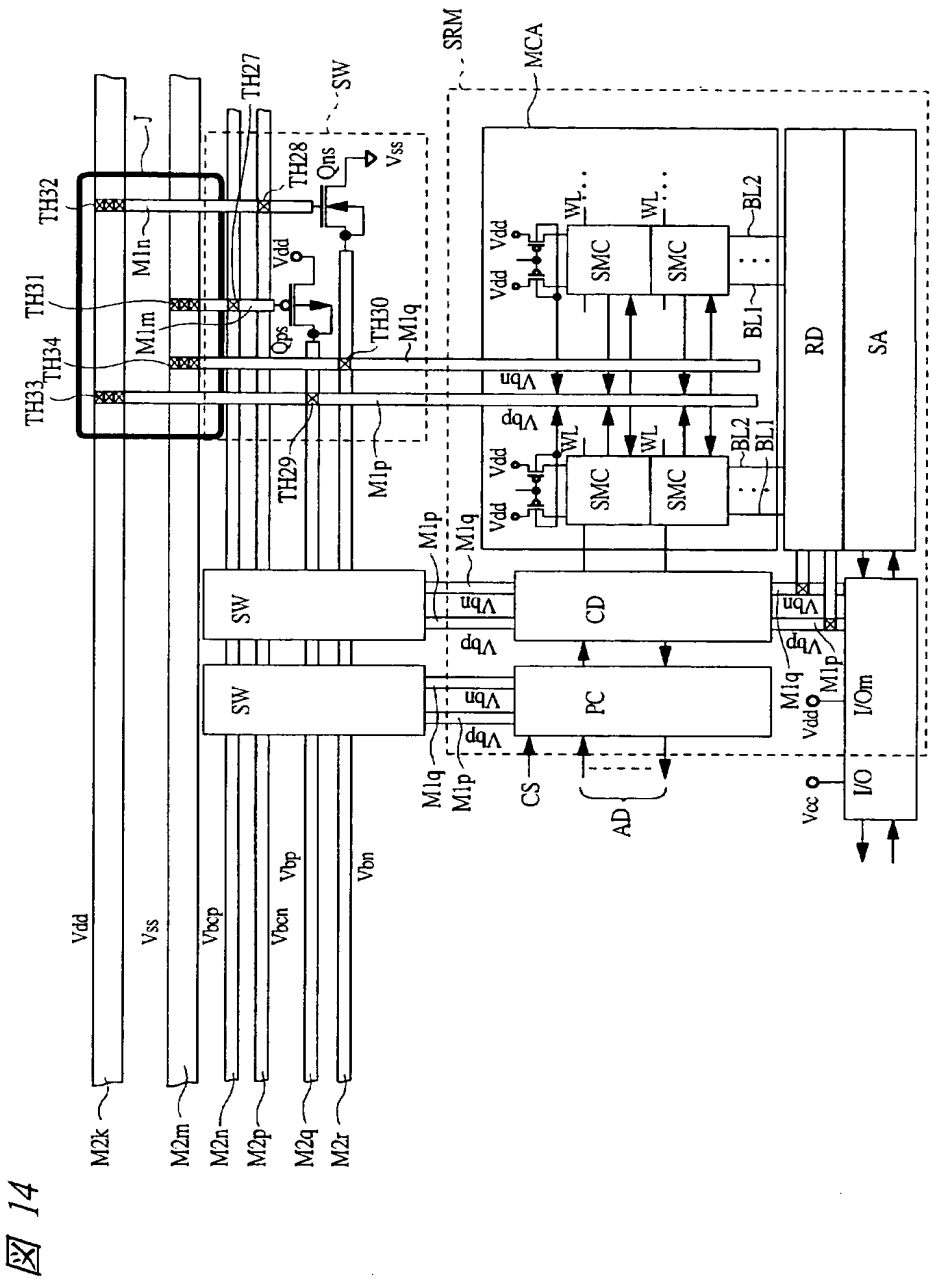


【図 12】

図 12



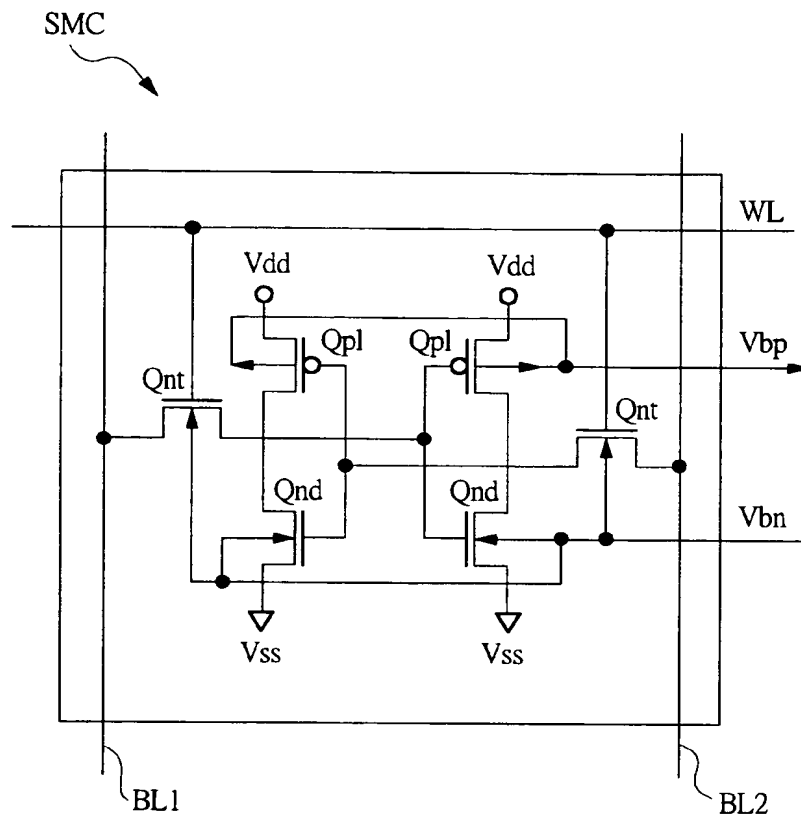
【図 14】



14

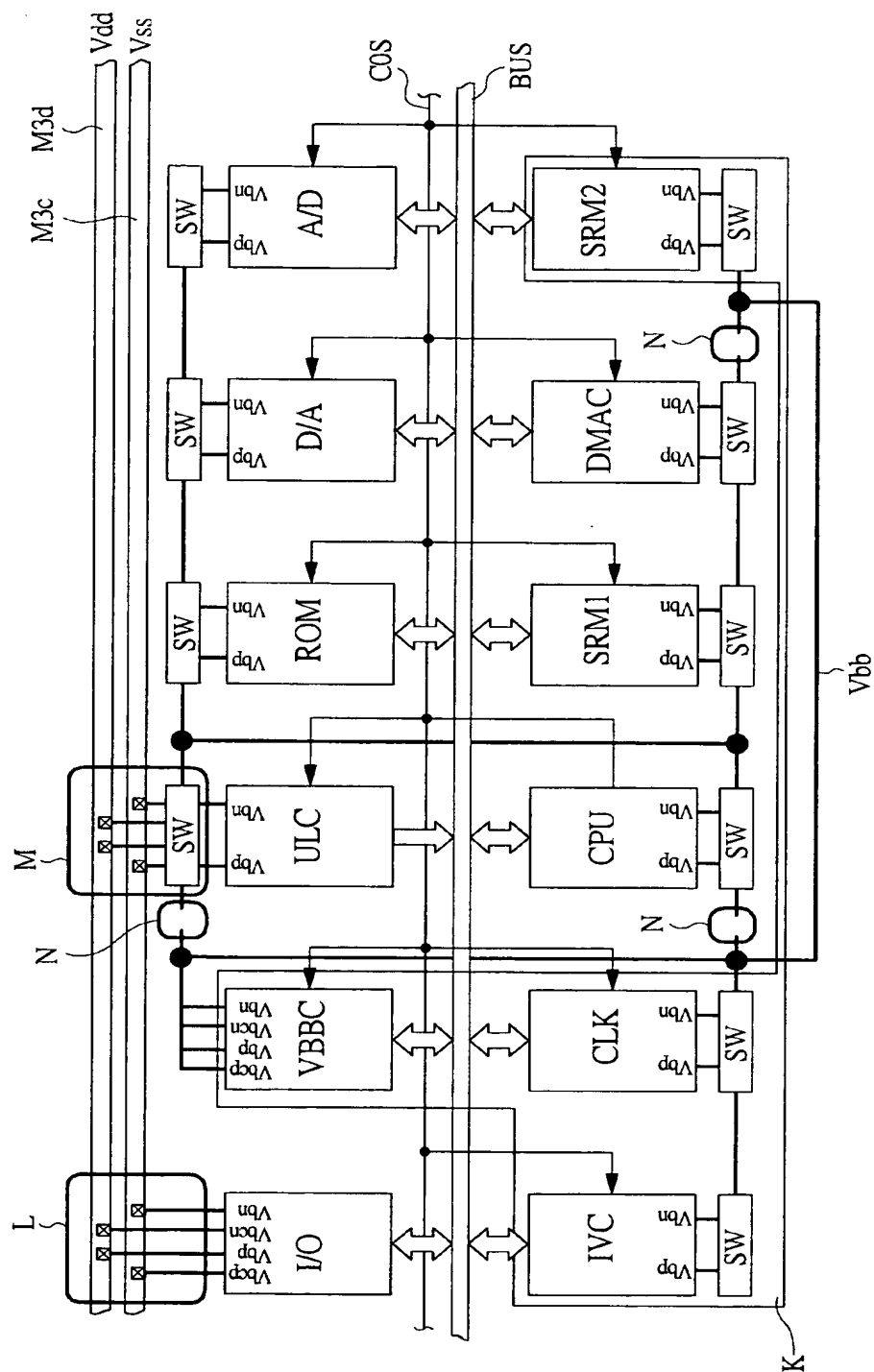
【図 15】

図 15



【図 16】

図 16



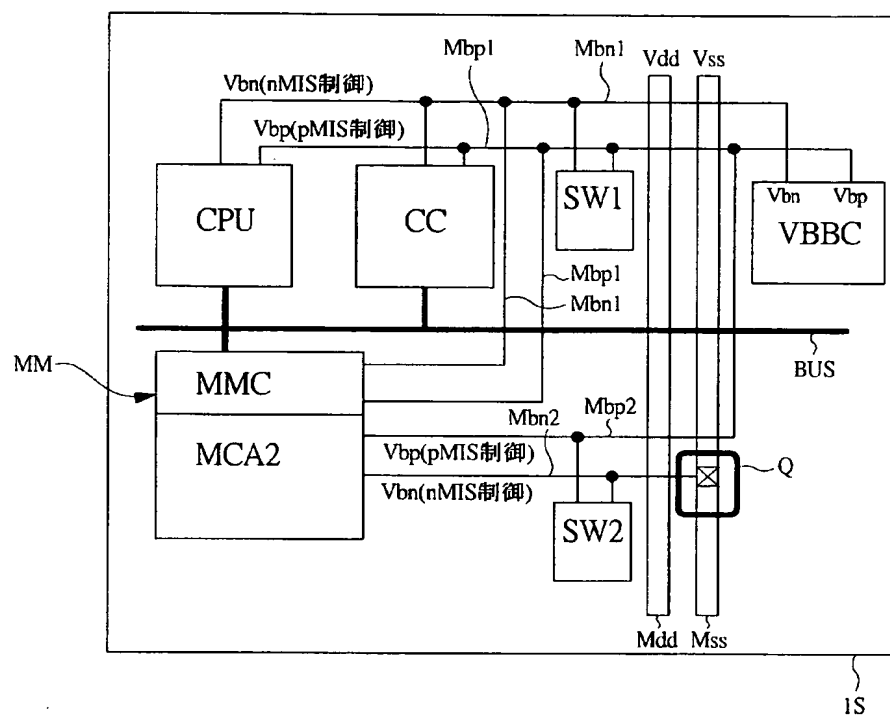
【図 1 7】

図 17

		p MIS	
		高 Vth	低 Vth
nMIS	高 Vth	Vbb電源不用	pMISのVbb電源必要 <div>nMISのVbb電源 (Vbn,Vbcn)をVdd,Vss に固定</div>
	低 Vth	nMISのVbb電源必要 <div>pMISのVbb電源 (Vbp,Vbcp)をVdd,Vss に固定</div>	pMIS&nMISの Vbb電源必要

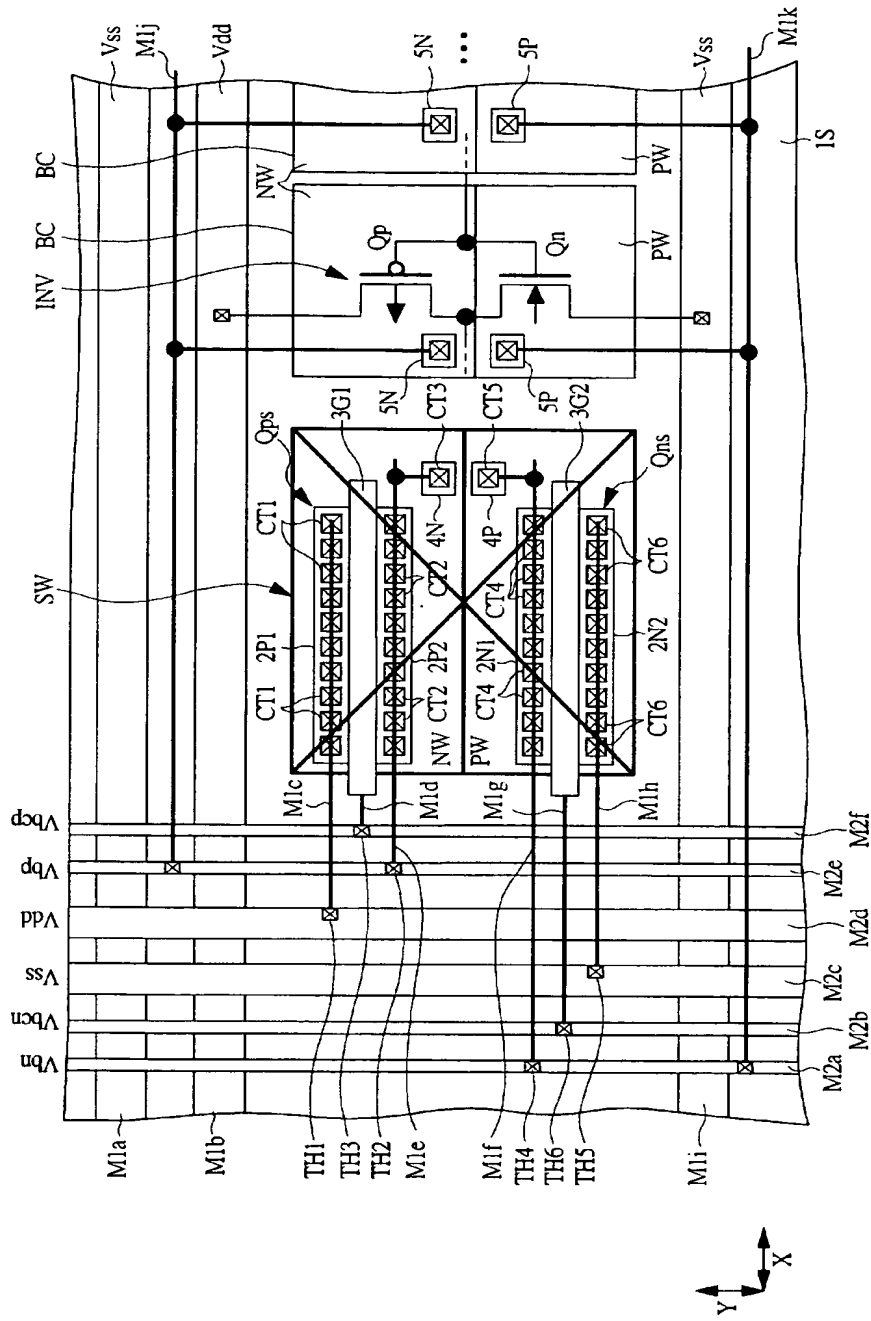
【図 18】

図 18

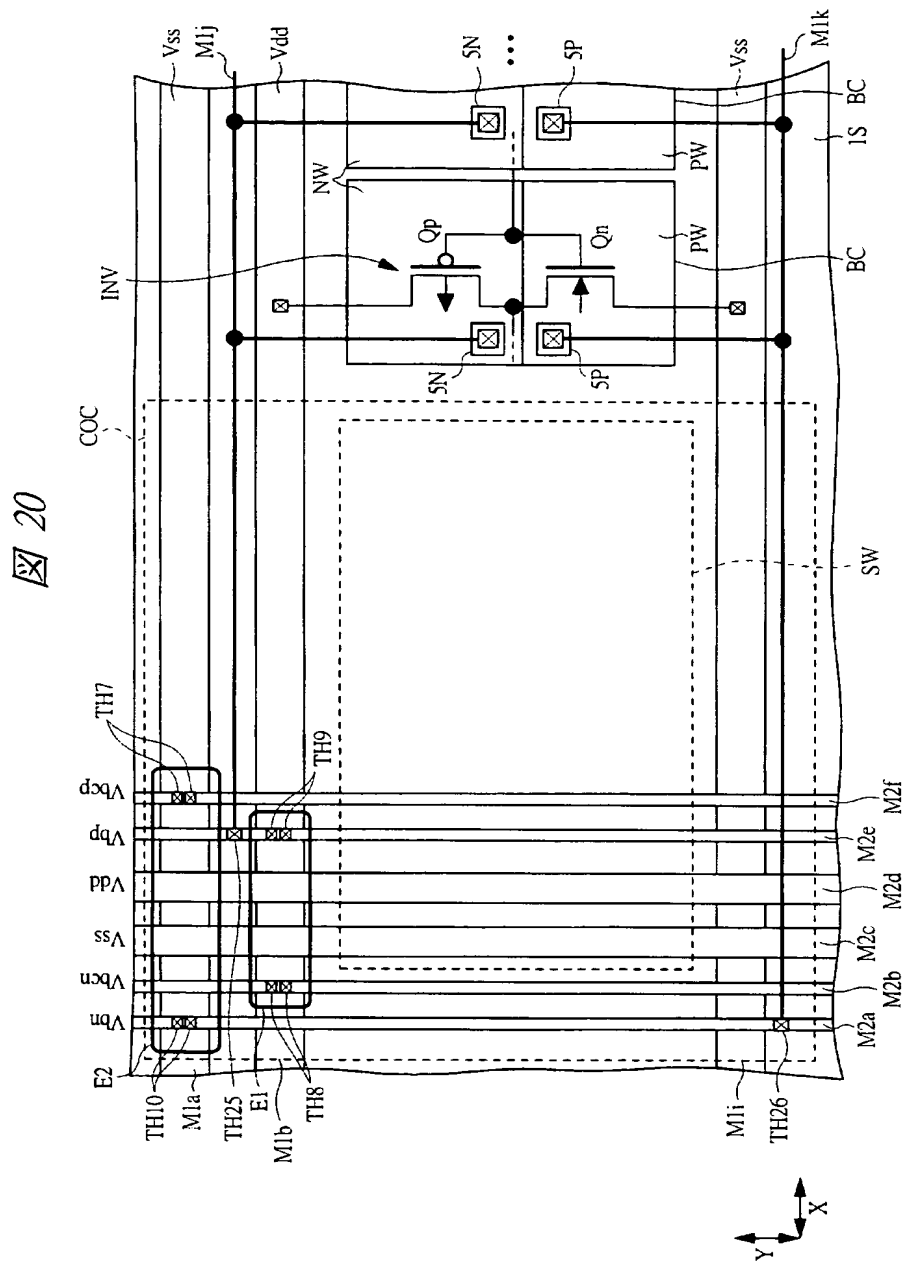


【図 19】

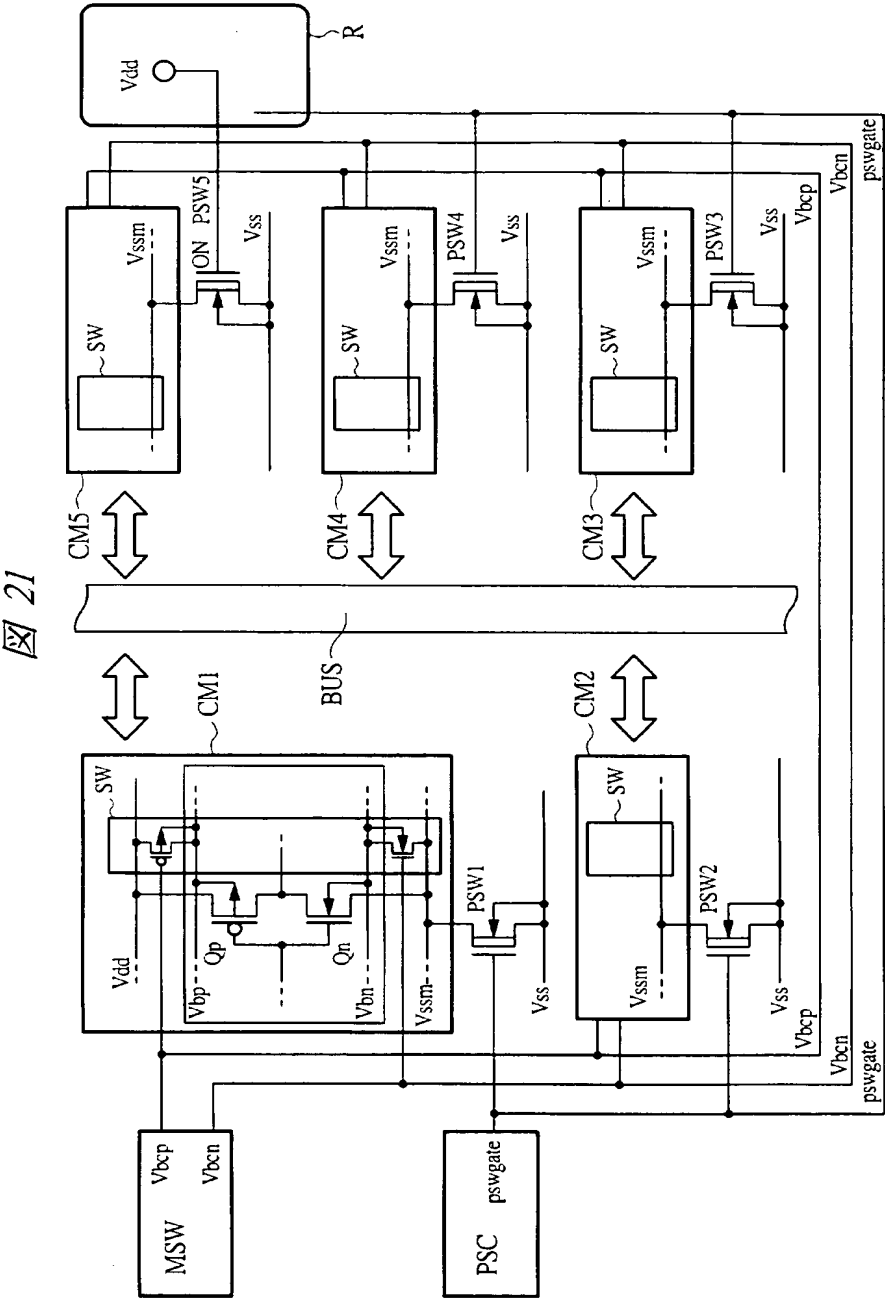
図 19



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 設計に時間を掛けることなく基板バイアスを固定する。

【解決手段】 基板バイアス回路用のスレーブスイッチ回路セル S W のゲート電極に接続される配線 M 2 b , M 2 f をそれぞれ電源電位 V d d 用の配線 M 1 b 、基準電位 V s s 用の配線 M 1 a に電氣的に接続する。これにより、スレーブスイッチ回路セル S W のスイッチ動作を無効にする。また、各回路セル B C の n ウェル N W に接続された配線 M 1 e , M 2 e を電源電位 V d d 用の配線 M 1 b と電氣的に接続し、各回路セル B C の p ウェル P W に接続された配線 M 1 f , M 2 a を基準電位 V s s 用の配線 M 1 a と電氣的に接続する。これにより、n ウェル N W を電源電位 V d d に固定し、p ウェル P W を基準電位 V s s に固定する。

【選択図】 図 3

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-315959

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 5 9 5 9
受付番号	5 0 3 0 1 1 9 4 7 9 4
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 7 月 1 8 日
-------	--------------------

特願 2 0 0 2 - 3 1 5 9 5 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 1 5 9 5 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ